



(51) 国際特許分類6

H03M 1/74, G09G 3/36

A1

(11) 国際公開番号

WO97/29548

(43) 国際公開日

1997年8月14日(14.08.97)

(21) 国際出願番号

PCT/JP97/00212

(22) 国際出願日

1997年1月30日(30.01.97)

(30) 優先権データ

特願平8/24520

1996年2月9日(09.02.96)

JP

特願平8/162309

1996年6月3日(03.06.96)

JP

特願平8/181518

1996年6月21日(21.06.96)

JP

特願平8/220616

1996年8月2日(02.08.96)

JP

(71) 出願人 (米国を除くすべての指定国について)

セイコーエプソン株式会社

(SEIKO EPSON CORPORATION)[JP/JP]

〒163-08 東京都新宿区西新宿2丁目4番1号 Tokyo, (JP)

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ)

木村 睦(KIMURA, Mutsumi)[JP/JP]

〒392 長野県諏訪市大和3丁目3番5号

セイコーエプソン株式会社内 Nagano, (JP)

(74) 代理人

弁理士 井上 一, 外(INOUE, Hajime et al.)

〒167 東京都杉並区荻窪五丁目26番13号

荻窪TMビル2階 Tokyo, (JP)

(81) 指定国 CN, KR, US, 欧州特許 (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).

添付公開書類

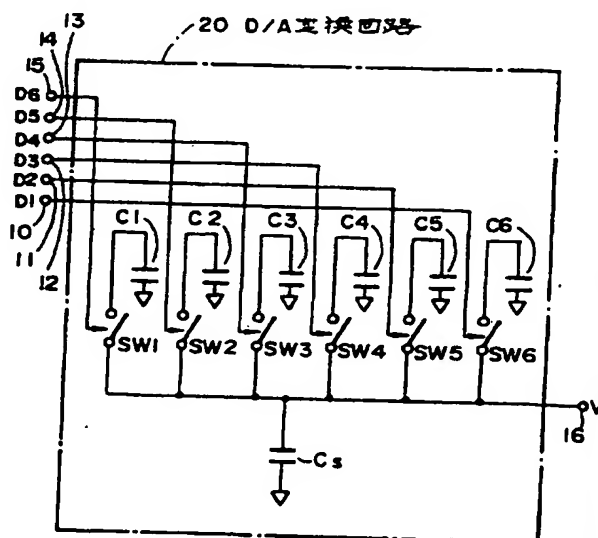
国際調査報告書

(54) Title: POTENTIAL GENERATING DEVICE

(54) 発明の名称 電位生成装置

(57) Abstract

A device which can generate an accurate and stable potential. A D/A converter using binary-weighted (2n) capacitors is constituted by shifting the actual capacitance ratio from 2n. When the D/A converter is used, the capacitance ratio among a plurality of weighted capacitances (C1-C6) fluctuates and, even when the fluctuation becomes the worst, the value of the j-th capacitance is ensured to be larger than the sum of the values of all capacitances from the first one to the (j-1)-th one and, therefore, the "output inversion" of the D/A converter can be prevented surely. In addition, no such additional circuit as the correction circuit, etc., is required and the D/A converter can be manufactured easily at a low cost.



C1:C2:C3:C4:C5:C6 = 1:2:4:8.56:19.02:42.27

20 ... D/A converter circuit

(57) 要約

正確で安定した電位を高速に生成する手段を提供することにある。2進荷重(2n)キャパシタを用いたD/A変換器において、実際の容量比を2nからずらして構成する。このような構成のD/A変換器によれば、重みづけされた複数の容量(C1~C6)の容量比がばらつき、そのばらつきが最悪の条件となっても、j番目の容量の容量値は、1番目から(j-1)番目までの全ての容量の容量値の合計より必ず大きくなり、したがって、D/A変換器における「出力の逆転現象」は確実に防止される。また、補正回路等の余分な回路を付加する必要もなく、低コストであり、製造も容易である。

情報としての用途のみ

PCTに基づいて公開される国際出願をパンフレット第一頁にPCT加盟国を特定するために使用されるコード

AL	アルバニア	EE	エストニア	LR	リベリア	RU	ロシア連邦
AM	アルメニア	ES	スペイン	LS	レソト	UD	ウズベキスタン
AT	オーストリア	FI	フィンランド	LT	リトアニア	DE	ドイツ
AU	オーストラリア	FR	フランス	LU	ルクセンブルグ	SC	スウェーデン
AZ	アゼルバイジャン	GB	イギリス	LV	ラトヴィア	IS	アイスランド
BB	バハマ	GE	ジョージア	MC	モナコ	SK	スロバキア
BE	ベルギー	GH	ガーナ	MD	モルドバ	NZ	ニュージーランド
BF	ブルキナファソ	GN	ギニア	MG	マダガスカル	SS	スウェーデン
BG	ブルガリア	GR	ギリシャ	MK	マケドニア	SD	スーダン
BJ	ベナン	GU	グアテマラ	ML	マリ	SI	スロベニア
BR	ブラジル	HE	ハンガリー	MN	モンゴル	TD	チャド
BS	バハマ	IE	アイルランド	MR	モーリタニア	TG	トーゴ
BT	ブータン	IT	イタリア	MW	モザンビーク	TM	トルクメニスタン
CA	カナダ	JP	日本	MX	メキシコ	TR	トルコ
CC	ココス(キリング)諸島	KE	ケニア	NE	ニジェール	TT	トリニダード・トバゴ
CD	コンゴ民主共和国	KR	韓国	NL	オランダ	UA	ウクライナ
CF	中央アフリカ共和国	KG	キルギス	NO	ノルウェー	UG	ウガンダ
CG	コンゴ共和国	KZ	カザフスタン	NZ	ニュージーランド	US	米国
CH	スイス	LA	ラオス	PT	ポルトガル	UZ	ウズベキスタン
CI	コートジボワール			RO	ルーマニア	YU	ユーゴスラビア
CM	カメルーン						
CN	中国						
CO	コロンビア						
CR	コスタリカ						
CU	キューバ						
CY	キプロス						
CZ	チェコ						
DE	ドイツ						
DK	デンマーク						

明細書 電位生成装置

技術分野

本発明は、電位生成装置、特に D/A 変換器、D/A 変換器の設計方法、信号線プリチャージ方法、信号線プリチャージ回路並びにこれらを用いた液晶パネル用基板及び液晶表示装置に関する。

背景技術

所定の信号に応じて所定の電位を生成するために、様々な工夫がなされてきたが、従来の技術では、必ずしも所望の電位にならなかったり、所定の電位になるまでに時間がかかるなどの欠点があった。その具体例を次に示す。

(1) 所望の電位を得られない場合

D/A 変換器として、キャパシタを用いたものがある。キャパシタを用いた D/A 変換器は、抵抗を用いたものよりも、低消費電力という点で優れている。キャパシタを用いた D/A 変換器の一つとして、二進荷重キャパシタを使用したものが知られている。図 7 4 は、従来の二進荷重キャパシタを使用した D/A 変換器を示す図である。

この D/A 変換器では、6 ビットのデジタル入力値に対応するアナログ出力が得られる。具体的には、6 本のデジタル配線 5 0 0 1 のそれぞれに、2 進数の 1 桁目～6 桁目に対応するデジタル信号 D 11～D 16 が入力され、「0 0 0 0 0 0」～「1 1 1 1 1 1」（10 進数で「0」～「63」に相当する）のデジタル入力ができるようになっている。

各デジタル信号 D 11～D 16 は、二段のラッチ回路 A 11～A 16 及び B 11～B 16 に保持される。ラッチ回路 A 11～A 16 又は B 11～B 16 は、クロック CL 1 又は CL 2 と、その反転クロック nCL 1 又は nCL 2 とで動作する。クロック CL 1、CL 2 及び反転クロック nCL 1、nCL 2 は、図示しないシフトレジスタの出力信号から生成される。

D/A 変換器には、配線 5 0 0 2（電位 V 0）・配線 5 0 0 3（電位 V s）・

配線 5 0 0 4 (GND 電位) が設けられている。なお、電位 $V_0 > \text{電位 } V_s > \text{GND 電位}$ である。また、配線 5 0 0 5 からは、アナログ出力を取り出せるようになっている。

配線 5 0 0 2 には、変換容量 $C_{11} \sim C_{16}$ の一方の極板が接続されている。変換容量 $C_{11} \sim C_{16}$ は、設計上 2 進荷重された値となっており、

$$C_{11} : C_{12} : C_{13} : C_{14} : C_{15} : C_{16} = 1 : 2 : 4 : 8 : 16 : 32$$

の比となっている。

この D/A 変換器の動作を、「0 0 0 0 0 1」のデジタル入力がされたときを例にとって説明する。このとき、デジタル信号 D_{11} は「H」であるので、ラッチ回路 A_{11} は「H」を保持する。デジタル信号 $D_{12} \sim D_{16}$ は「L」であるので、ラッチ回路 $A_{12} \sim A_{16}$ は「L」を保持する。そして、ラッチパルスが入ると、クロック CL_2 及び反転クロック nCL_2 によって、1 段目のラッチ回路 $A_{11} \sim A_{16}$ の信号は、2 段目のラッチ回路 $B_{11} \sim B_{16}$ に転送される。

次に、配線 5 0 0 6 のリセット信号 R が「H」になって、各アナログスイッチ $Ta_1 \sim Ta_6$ がオンして、変換容量 $C_{11} \sim C_{16}$ には、その両極板間の電位差がなくなって電荷がなくなる。同時に、アナログスイッチ T_3 がオンして、基準容量 C_{s1} に、配線 5 0 0 3 (電位 V_s) と配線 5 0 0 4 (GND 電位) との電位差によって所定の電荷が蓄積される。このときに基準容量 C_{s1} に蓄積される電荷 Q_s は、

$$Q_s = C_{s1} V_s \quad (1 \cdot 1)$$

である。

次に、リセット信号 R が「L」になってアナログスイッチ $Ta_1 \sim Ta_6$ 、 T_3 がオフになる。そして、配線 5 0 0 7 のセット信号 S が「H」状態になり、セット信号 S の信号レベル「H」とラッチ回路 $B_{11} \sim B_{16}$ の信号レベル「H」又は「L」との論理積によって、アナログスイッチ $Tb_1 \sim Tb_6$ が制御される。

具体的には、ラッチ回路 B_{11} に対応するアナログスイッチ Tb_1 がオンして、変換容量 C_{11} と基準容量 C_{s1} とが接続される。そして、基準容量 C_{s1} に蓄積された電荷 Q_s の一部は、変換容量 C_{11} に流れ込む。

一方、ラッチ回路 $B_{12} \sim B_{16}$ に対応するアナログスイッチ $Tb_2 \sim Tb_6$ はオフとなり、変換容量 $C_{12} \sim C_{16}$ は、基準容量 C_{s1} に接続されない。

この結果、配線 5 0 0 5 の電位 V_{out} は、次のようにして求められる。基準容量 C_{s1} に蓄積された電荷 Q_s は、変換容量 C_{11} に流れ込む。このときに基準容量 C_{s1} に蓄積される電荷を $Q_{s'}$ 、変換容量 C_{11} に蓄積される電荷を $Q_{11'}$ とすると、

$$Q_{s'} = C_{s1} V_{out} \quad (1 \cdot 2)$$

$$Q_{11'} = C_{11} (V_{out} - V_0) \quad (1 \cdot 3)$$

となり、 $Q_s = Q_{s'} + Q_{11'}$ だから、式 (1・1) ~ 式 (1・3) より、

$$C_{s1} V_s = C_{s1} V_{out} + C_{11} (V_{out} - V_0)$$

となる。これを変形して、

$$V_{out} = (C_{s1} V_s + C_{11} V_0) / (C_{s1} + C_{11})$$

となる。以上述べたことは、「0 0 0 0 0 1」のデジタル入力があったときの例であるが、これを一般式にすると、

$$V_{out} = (C_{s1} V_s + V_{11} \sum D_i C_i) / (C_{s1} + \sum D_i C_i) \quad (1 \cdot 4)$$

となる。なお、 $i=11, 12, 13, 14, 15, 16$ である。また、 D_i は、デジタル信号 $D_{11} \sim D_{16}$ の各信号レベルに対応して「H」レベルのときを「1」とし、「L」レベルのときを「0」としたものである。

次に、図 7 5 は、上記従来の D/A 変換器の D/A コンバータ特性の一例を示す図である。同図に示すように、デジタル入力値とアナログ出力との関係は、緩やかなカーブを描くようになっている。すなわち、従来の D/A 変換器では、線形性を有する D/A コンバータ特性を得ることができなかった。

その理由は、式 (1・4) において、分母にデジタル信号 $D_{11} \sim D_{16}$ の変数 ($\sum D_i C_i$) があるため、正比例の関数にならないからである。これを避けるには、分母を定数にすることが必要である。

また、従来の D/A 変換器では、所定のアナログ電圧が得られないことがあった。例えば、図 7 5 において、デジタル入力値「3 2」(2 進数で「1 0 0 0 0 0」) のときのアナログ出力が、デジタル入力値「3 1」(2 進数で「0 1 1 1 1 1」) のときよりも不連続で下がっている。その理由は、最上位のビットに対応する変換容量 C_{16} の容量値と、下位ビットの変換容量 $C_{11} \sim C_{15}$ の容量値の合計と、の比が、3 2 : 3 1 となっていないからである。

容量の製造工程において、このような容量値のばらつきを避けることは困難で

ある。特に、大容量値の容量は、設計値との誤差が大きくなりやすい。このため、デジタル入力値に対して所定のアナログ出力が得られず、デジタル入力の増加に対してアナログ出力が減少してしまうという、いわゆる逆転現象が生じることがあった。

(2) 所定の電位になるまでに時間がかかる場合

アクティブマトリクス型表示装置、特に液晶表示装置において、画像信号の信号線への供給に先立ち、その信号線を所定の電位にプリチャージしておき、映像信号自体による信号線の充放電量を小さくすることにより、液晶の駆動を高速化する技術（信号線プリチャージ技術）がある。

アクティブマトリクス型液晶表示装置を、1水平走査期間毎（1走査線毎）に反転駆動する場合における信号線プリチャージの概要およびその効果が、図76A及び図76Bに示される。

図76Bにおいて、「S1」は信号線を示し、「H1, H2」はそれぞれ1番目、2番目の走査線を示し、参照番号6012, 6014はTF Tなどのスイッチング素子を示し、参照番号6022, 6024は液晶セルを示し、参照番号「C30」は信号線S1に寄生する容量（つまり、信号線S1の等価容量）を示す。また、図76Bの左側に記載の「-」, 「+」は、液晶セル6022, 6024を反転駆動することを表している。なお、液晶セル6022, 6024は共に「黒」を表示するものとする。

図76Aに示すように、水平走査期間T1において、液晶セル6022で「黒」（黒レベル電位B1）を表示し、次の水平走査期間T2において、液晶セル6024で同じく「黒」（黒レベル電位B2）を表示する。この場合、同じ「黒」でも極性が反転しているため、黒レベル電位B1とB2は互いに最も遠い位置にある。

よって、プリチャージを行わなければ、画像信号自体によって信号線S1の寄生容量C30を充電（あるいは放電）して、図中「R1」で示すように信号線の電位を黒レベル電位B1からB2へと変化させなければならない。

これに対し、画像信号の供給に先立ち、画像信号の極性と同じ極性のプリチャージを行っておけば、つまり、期間T2の前にプリチャージを行って信号線S1

をプリチャージ電位 $PV2$ に保持しておけば、図中「 $R2$ 」で示すように、信号線の電位をプリチャージ電位 $PV1$ から黒レベル電位 $B1$ へと変化させるだけでよく、信号線 $S1$ の寄生容量 $C30$ の充電（放電）の量が小さくてよい。ゆえに、液晶の駆動が高速化される。

液晶パネルを高精細化すると、これに伴って液晶を高速に駆動する必要があり、この場合には、信号線一本あたりのプリチャージ時間の短縮化が望まれる。一方、液晶パネルの大型化に伴い、一本の信号線の長さが長くなり、それだけ信号線の寄生容量も大きくなり、プリチャージ自体に時間がかかることになる。

したがって、信号線の電位がプリチャージ電位に達しないうちにプリチャージ期間が終了してしまうことも生じ得る。この場合には、プリチャージが不十分であり、その誤差は結局、液晶セルの表示の誤差につながる。しかも、プリチャージ電圧を供給するための配線を高速に充放電するには、消費電力が増大する。

本発明は、上記問題点に着目してなされたものであり、正確で安定した電位を高速に生成する手段を提供することにある。

発明の開示

本発明は、入力ビットに応じて重みづけされた容量値をもち、かつ一端が所定電位となっている複数の変換容量と、一端が所定電位となっている結合容量と、前記変換容量のそれぞれ他端と前記結合容量の他端との間に設けられ、前記入力ビットに応じて開閉が制御されるスイッチと、を具備し、前記結合容量の他端と前記スイッチの共通接続点から、デジタル入力値に対応したアナログ電圧を得る D/A 変換器であって、

前記複数の変換容量の設計値が、下記第(1)式に示す関係を満たしていることを特徴とする。

第(1)式

$$C_{oj} - d C_j > \sum (i < j) (C_{oi} + d C_i) \quad (\text{for all } j)$$

但し、上式における記号等の意味は以下のとおりである。

C_i : i 番目の変換容量

C_{oi} : i 番目の変換容量の設計値

$d C_i$: i 番目の変換容量のばらつき

C_j : j 番目の変換容量

$C_{o j}$: j 番目の変換容量の設計値

$d C_j$: j 番目の変換容量のばらつき

$\Sigma(i < j)$: j より小さいすべての i についての総和

for all j : すべての j について成立する

本 D/A 変換器によれば、重みづけされた複数の容量の容量比がばらつき、そのばらつきが最悪の条件となっても、 j 番目の容量の容量値は、1 番目から ($j - 1$) 番目までの全ての容量の容量値の合計より必ず大きくなり、したがって、D/A 変換器における「出力の逆転現象」は確実に防止される。また、補正回路等の余分な回路を付加する必要もなく、低コストであり、製造も容易である。

本発明において、前記変換容量は、アモルファス薄膜またはポリシリコン薄膜のいずれかで絶縁層を挟むことにより構成されてもよい。

アモルファス薄膜またはポリシリコン薄膜を利用したキャパシタを具備する D/A 変換器が実現される。

本発明において、前記スイッチは、薄膜トランジスタ (TFT; Thin Film Transistor) を用いて構成されたアナログスイッチであり、

また、前記変換容量は、アモルファス薄膜またはポリシリコン薄膜のいずれかで絶縁層を挟むことにより構成されており、

前記アナログスイッチを構成する薄膜トランジスタ (TFT) と、前記変換容量とは、共通の基板上に形成されてもよい。

この D/A 変換器は、共通の基板上に形成された、薄膜容量と薄膜トランジスタ (TFT) とを用いて構成されている。つまり、D/A 変換器の全体を薄膜技術を用いて構築でき、コンパクトであり、かつ製造が容易である。

本発明に係る D/A 変換器の設計方法は、上記 D/A 変換器を、下記の各ステップにより設計することを特徴とする。

(ステップ 1)

$C_{o i}$, $d C_i$ (for all i) を設定する。

(ステップ 2)

$j = 2$ とする。

(ステップ 3)

上記第 (1) 式が成立するかを判定し、成立しなかった場合には C_{oj} を変更する。

(ステップ 4)

j をインクリメントする。

(ステップ 5)

すべての j についてステップ 3 およびステップ 4 を繰り返す。

本 D/A 変換器の形成方法によれば、容量のばらつき dC_i (for all i) all i) を所望の値に設定するため、その設定した範囲内における誤差が生じても、「出力の逆転現象」は生じない。したがって、製造条件の変動等を考慮して、容量のばらつき範囲を適切に設定することにより、所望の信頼度が確実に確保される。

本発明において、 C_{oi} の初期設定値が、2 進荷重値であってもよい。

重みづけされた容量値をもつキャパシタを用いた D/A 変換器の逆転現象を確実に防止可能な設計手法が提供される。

本発明は、入力ビットに応じて重みづけされた容量値をもち、かつ一端が所定電位となっている複数の変換容量と、一端が所定電位となっている結合容量と、前記変換容量のそれぞれ他端と前記結合容量他端との間に設けられ、前記入力ビットに応じて開閉が制御されるスイッチと、を具備し、前記結合容量他端と前記スイッチの共通接続点から、デジタル入力値に対応したアナログ電圧を得る D/A 変換器であって、

前記複数の変換容量の各々の比の値が、下記第 (2) 式に示す関係を満たしていることを特徴とする。

$$\text{第(2)式} \\ \frac{\{V_c \cdot C_s + V_o (C_{oj} - dC_j)\}}{\{C_s + (C_{oj} - dC_j)\}} - \frac{\{V_c \cdot C_s + V_o (\sum_{i<j} (C_{oi} + dC_i))\}}{\{C_s + \sum_{i<j} (C_{oi} + dC_i)\}} > -V_{th} \text{ (for all } j)$$

但し、上式における記号等の意味は以下のとおりである。

C_s : 結合容量の容量値

V_c : スイッチが閉じられる前の結合容量の他端の電位

V_o : スイッチが閉じられる前の各変換容量の他端の電位

C_{oi} : i 番目の変換容量の設計値

dC_i : i 番目の変換容量のばらつき

C_{oj} : j 番目の変換容量の設計値

dC_j : j 番目の変換容量のばらつき

V_{th} : D/A変換器の出力を輝度情報として用いて画像を表示した場合において、人が視覚により認識できない電圧差異の最大値（視認しきい値）

$\Sigma(i < j)$: j より小さいすべての i についての総和

for all j : すべての j について成立する

本D/A変換器では、「出力の逆転現象」が生じて、その逆転の程度が、視認しきい値（ V_{th} ）より小さい。ゆえに、D/A変換器の出力を輝度情報として用いて画像を表示した場合でも、その逆転が生じていることを、人が視覚により認識できず、したがって、画質が低下しない。視認しきい値（ V_{th} ）の値は、20mV程度であると考えられる。

本発明は、上記D/A変換器を、下記の各ステップにより設計してもよい。

（ステップ1）

C_{oi} , dC_i (for all i) を設定する。

（ステップ2）

$j = 2$ とする。

（ステップ3）

上記第（2）式が成立するかを判定し、成立しなかった場合には C_{oj} を変更する。

（ステップ4）

j をインクリメントする。

（ステップ5）

すべての j についてステップ 3 およびステップ 4 を繰り返す。

本 D/A 変換器の形成方法によれば、容量のばらつき dC_i を所望の値に設定するため、その設定した範囲内における誤差が生じて「出力の逆転現象」が仮に発生しても、その逆転の程度は視認しきい値を決して越えないため、画質が低下することがない。したがって、製造条件の変動等を考慮して、容量のばらつき範囲を適切に設定することにより、所望の信頼度が確実に確保される。

本発明は、複数の走査線と、複数の信号線と、各走査線と各信号線との交点に設けられた、液晶と信号線との間の電氣的接続を制御する薄膜素子と、前記複数の信号線を駆動するための駆動回路とを具備する液晶パネル用基板であって、

前記複数の信号線の駆動回路は、上記 D/A 変換器を具備することを特徴とする。

D/A 変換誤差に起因した輝度の逆転が生じない、あるいはその逆転が認識されないレベルに抑える工夫が施された D/A 変換器を搭載した液晶パネル用基板を実現できる。

本発明は、D/A 変換器を構成する前記変換容量および前記スイッチは、液晶と信号線との間の電氣的接続を制御する薄膜素子と共通の製造プロセスによって同一の基板上に製造されてもよい。

製造プロセスを共用するため、製造が容易である。

本発明に係る液晶表示装置は、上記液晶パネル用基板を用いて構成されたものである。

D/A 変換誤差に起因した輝度の逆転が生じない、あるいはその逆転が認識されないレベルに抑えることができる、高信頼度の液晶表示装置が実現される。

本発明に係る D/A 変換器は、 n ビット (n は自然数) のデジタル信号 D_i ($i=1, 2, \dots, n$) をアナログ出力 V_{out} に変換する D/A 変換器において、

前記デジタル信号 D_i の各ビットに対応する n 個の変換容量 C_{xi} と、

前記デジタル信号 D_i の各ビットに対応する n 種類の電位 V_{xi} が供給される少なくとも一つの変換選択配線と、

前記アナログ出力 V_{out} を取り出す出力配線と、

前記変換容量 C_{xi} の一方の極板に接続される電位 V_{s1} の第 1 の基準配線と、

を有し、

オンのデジタル信号 D_i に対応する前記変換容量 C_{xi} の他方の極板は、前記変換選択配線に接続されて、前記変換容量 C_{xi} に、対応する電位 V_{xi} と V_{s1} との電位差によって変換電荷が蓄積され、

オフのデジタル信号 D_i に対応する前記変換容量 C_{xi} の他方の極板は、所定の配線に接続され、

前記他方の極板は、前記変換電荷が蓄積された後に、前記変換選択配線及び前記所定の配線と電気的に切断され、前記出力配線に接続されて、それぞれの前記変換電荷を合計してなる総電荷に対応してアナログ出力 V_{out} を供給する。

本発明によれば、デジタル信号 $D_1 \sim D_n$ に対応して、変換容量 $C_{x1} \sim C_{xn}$ が設けられている。変換容量 $C_{x1} \sim C_{xn}$ の一方の極板には、電位 V_{s1} が供給される。変換容量 $C_{x1} \sim C_{xn}$ の他方の極板には、電位 $V_{x1} \sim V_{xn}$ あるいは所定の電位を供給できるようになっている。

デジタル信号 $D_1 \sim D_n$ がオンであれば、変換容量 $C_{x1} \sim C_{xn}$ の他方の極板には、電位 $V_{x1} \sim V_{xn}$ が供給され、電位 V_{s1} との電位差によって電荷が蓄積される。

デジタル信号 $D_1 \sim D_n$ がオフであれば、変換容量 $C_{x1} \sim C_{xn}$ の他方の極板には、所定の電位が供給され、例えばこの電位が一方の極板の電位と同じであれば電荷が蓄積されない。詳しくは、変換容量 $C_{x1} \sim C_{xn}$ の他方の極板を第 1 の基準配線に接続すれば、両極板の電位が同じになる。

あるいは、デジタル信号 $D_1 \sim D_n$ がオフのときに、変換容量 $C_{x1} \sim C_{xn}$ の他方の極板を、第 1 の基準配線とは別の配線に接続してもよい。

以上のように、デジタル信号 $D_1 \sim D_n$ のオン・オフによって、変換容量 $C_{x1} \sim C_{xn}$ に蓄積される電荷が変わる。したがって、デジタル信号 $D_1 \sim D_n$ のオン・オフによって表されるデジタル入力値と、アナログ出力とが対応するように、電位 $V_{x1} \sim V_{xn}$ 及び所定の電位を設定すれば、 D/A 変換を行うことができる。設定された電位は、 D/A 変換器の製造後であっても容易に調整することができる。この電位の調整によって、 D/A 変換特性が連続性を有するようになる。

本発明に係る D/A 変換器は、

電位 V_{s2} の第 2 の基準配線と、

前記出力配線に形成され、第 1 及び第 2 の基準配線における電位 V_{s1} と V_{s2} との電位差によって基準電荷を蓄える基準容量 C_s と、

を有し、

前記オフのデジタル信号 D_i に対応する前記所定の配線は、前記第 1 の基準配線であり、

前記総電荷は、前記変換電荷と前記基準電荷の合計からなり、アナログ出力 V_{out} が、

$$V_{out} = (\sum C_{xi} (D_i V_{xi} + V_{s1} (1 - D_i)) + C_s V_{s2}) / (\sum C_{xi} + C_s)$$

[D_i は、デジタル信号 D_i がオンのときを 1 とし、オフのときを 0 とする。]で表されることが好ましい。

本発明では、デジタル信号 $D_1 \sim D_n$ がオフのとき、変換容量 $C_{x1} \sim C_{xn}$ の両極板には、同一の電位 V_{s1} が供給されるので、電荷が蓄積されない。

また、出力配線には、デジタル信号 $D_1 \sim D_n$ のオン・オフにかかわらず、基準容量 C_s に電荷が与えられて、一律にアナログ出力 V_{out} が上げられる。

そして、上記式は、次のようにして求められる。まず、変換容量 C_i に最初に蓄積される電荷の総和を $\sum Q_i$ とすると、

$$\sum Q_i = \sum C_{xi} (D_i (V_{xi} - V_{s1}))$$

となる。なお、 D_i は、デジタル信号 $D_{11} \sim D_{16}$ の各信号レベルに対応して「H」レベルのときを「1」とし、「L」レベルのときを「0」としたものである。

また、基準容量 C_s に蓄積される電荷を Q_s とすると、

$$Q_s = C_s (V_{s2} - V_{s1})$$

である。

次に、変換容量 C_i が、前記変換選択配線及び前記所定の配線と電氣的に切断され、前記出力配線に接続されるたときに、変換容量 C_i に蓄積される電荷の総和を $\sum Q_i'$ 、基準容量 C_s に蓄積される電荷を Q_s' とすると、

$$\sum Q_i' = \sum C_{xi} (V_{out} - V_{s1})$$

$$Q_s' = C_s (V_{out} - V_{s1})$$

となる。

$$\sum Q_i + Q_s = \sum Q_i' + Q_s'$$

だから、

$$\begin{aligned} & \Sigma C_{xi} (D_i (V_{xi} - V_{s1})) + C_s (V_{s2} - V_{s1}) \\ &= \Sigma C_{xi} (V_{out} - V_{s1}) + C_s (V_{out} - V_{s1}) \end{aligned}$$

となり、これを変形して、

$$\begin{aligned} & V_{out} \\ &= (\Sigma C_{xi} (D_i V_{xi} + V_{s1} (1 - D_i)) + C_s V_{s2}) / (\Sigma C_{xi} + C_s) \end{aligned}$$

となる。

この式の分母は、デジタル信号 D_i の値に関わらず定数となっているので、アナログ出力 V_{out} とデジタル信号 D_i とは、正比例の関数となる。このことによって、線形性のある D/A 変換特性を得ることができる。

本発明に係る D/A 変換器は、

前記変換容量 C_{xi} の他方の極板と前記変換選択配線との間に接続される第 1 のスイッチと、

前記変換容量 C_{xi} の他方の極板と前記所定の配線との間に接続される第 2 のスイッチと、

前記変換容量 C_{xi} の他方の極板と前記出力配線との間に接続される第 3 のスイッチと、

を有することが好ましい。

あるいは、本発明に係る D/A 変換器は、

前記変換容量 C_{xi} の他方の極板と前記変換選択配線との間に接続される第 1 のスイッチと、

前記変換容量 C_{xi} の他方の極板と前記第 1 の基準配線との間に接続される第 2 のスイッチと、

前記変換容量 C_{xi} の他方の極板と前記出力配線との間に接続される第 3 のスイッチと、

前記基準容量 C_s に対する前記第 1 及び第 2 の基準配線からの電圧の印加を制御する第 4 のスイッチと、

を有することが好ましい。

これらのスイッチによって、変換容量 C_{xi} 及び基準容量 C_s への電圧の印加を

制御することができる。

本発明に係るD/A変換器は、n本の変換選択配線によってn種類の電位 V_{xi} が供給されることが好ましい。これは、n種類の電位 V_{xi} を供給するための最も簡単な形態である。

あるいは、本発明に係るD/A変換器は、

高電位配線と、低電位配線と、前記高電位配線と前記低電位配線との間に直列接続された $n-1$ 個の抵抗と、

を有し、

前記変換選択配線は、前記高電位配線と該高電位配線に直結される前記抵抗との間の配線、隣同士の抵抗を接続する配線、及び前記低電位配線と該低電位配線に直結される前記抵抗との間の配線によって構成されることが好ましい。

本発明によれば、高電位配線と、高電位配線に直結される抵抗と、の間の配線が、電位 V_{xi} のうちの最も高電位の変換選択配線となる。そして、抵抗が1つ増えるごとに電圧降下が増すので、隣同士の抵抗を接続する配線は、徐々に電位の下がっていく変換選択配線となる。低電位配線と、低電位配線に直結される抵抗と、の間の配線は最も低電位の変換選択配線となる。

本発明に係るD/A変換器は、

1本の前記変換選択配線を有し、この変換選択配線に供給される電位が時間的に変化することでn種類の電位 V_{xi} が供給されることが好ましい。

具体的には、本発明に係るD/A変換器は、

前記n個の変換容量 C_{xi} に対応してn本の変換パルス配線を有し、

各変換パルス配線には、前記変換選択配線における変化する電位が、対応する変換容量 C_{xi} に供給される電位 V_{xi} となるときにパルス信号が印加され、

前記パルス信号に応じて、変換容量 C_{xi} に電位 V_{xi} が供給されることが好ましい。

このように、時間的に変化する電位を1本の変換選択配線に供給すれば、変換選択配線の本数を最も減らすことができる。この場合、n本の変換パルス配線にパルス信号を入力することで、このパルス信号に応じて必要な電位を取り出すことができる。

本発明に係るD/A変換器は、

前記変換選択配線に供給されるn種類の電位 V_{xi} は、公比2の等比数列をなすことが好ましい。

こうすることで、変換容量 C_{xi} に2進荷重に対応した電荷を蓄積することができる。そして、線形性のあるD/A変換器を得ることができる。

本発明に係るD/A変換器は、nビット（nは自然数）のデジタル信号 D_i （ $i=1,2,\dots,n$ ）をアナログ出力 V_{out} に変換するD/A変換器において、前記デジタル信号 D_i の各ビットに対応するn個の変換容量 C_{xi} と、複数種類の電位 V_{xi} が供給される少なくとも一つの変換選択配線と、を有し、

前記デジタル信号 D_i のビット桁に応じて、前記n個の変換容量 C_{xi} のそれぞれに変換電荷が蓄積されるように、前記電位 V_{xi} 及び前記変換容量 C_{xi} の容量値が設定されてなり、それぞれの前記変換電荷を合計してなる総電荷に対応してアナログ出力 V_{out} を供給する。

本発明によれば、デジタル信号 D_i のビット桁に応じた変換電荷を蓄積するために、複数種類の電位 V_{xi} が用いられる。したがって、それぞれの電位 V_{xi} に対応する変換容量 C_{xi} の実際の容量値によって、電位 V_{xi} の値を調整することができる。そして、線形性を有するD/A変換器を得ることができる。

本発明に係るD/A変換方法は、nビット（nは自然数）のデジタル信号 D_i （ $i=1,2,\dots,n$ ）をアナログ出力 V_{out} に変換するD/A変換方法において、

オンの前記デジタル信号 D_i のビット桁に対応するn種類の電位 V_i に基づいてn個の変換容量 C_{xi} のそれぞれに変換電荷を蓄積するとともに、オフの前記デジタル信号 D_i に対応して前記変換容量 C_{xi} に蓄積される変換電荷をビット桁に関わらず一定とし、

前記変換電荷を合計してなる総電荷に対応してアナログ出力 V_{out} を供給する方法である。

特に、本発明に係るD/A変換方法は、

前記変換容量 C_{xi} の容量値が設計値と異なる場合に、前記電位 V_i を調整することで、対応する変換電荷の値をほぼ設計値通りとすることが好ましい。

例えば、変換容量 C_{xi}' の容量値が設計値 C_{xi0} と異なるが、容量値の平均が設計値と等しい場合には、設計上の電位 V_{xi0} を調整して電位 V_{xi}' を、

$$V_{xi}' = (C_{xi0} / C_{xi}') \times V_{xi0}$$

となるように調整する。

あるいは、変換容量 C_{xi}'' の容量値が設計値と異なり、かつ、容量値の平均が設計値と異なる場合には、

$$V_{xi}'' = (C_{xi0} / C_{xi}'') \times (\sum C_{xi}'' + C_s) / (\sum C_{xi0} + C_s) \times V_{xi0}$$

となるように電位 V_{xi}'' を調整する。

こうすることで、変換容量 C_{xi} の容量値が設計通りでなくとも、設計値通りのアナログ出力電圧を得ることができる。つまり、上述した調整を行うことで、線形性のある D/A 変換特性を得ることができる。

本発明に係る D/A 変換方法は、

前記デジタル信号 D_i のオン・オフに関わらず、前記アナログ出力 V_{out} の電位を上げるために、基準容量に基準電荷を蓄積し、

前記総電荷は、前記変換電荷と前記基準電荷との合計値からなることが好ましい。

こうして、アナログ出力 V_{out} の最低値を上げることができる。

本発明に係る D/A 変換方法は、前記基準容量の容量値が設計値と異なる場合に、印加される電圧を調整することで、前記基準電荷の値をほぼ設計値通りとすることが好ましい。

この調整は、変換容量 C_{xi} の容量値が設計通りでないときの調整と同様である。

本発明に係る D/A 変換方法は、 n ビット (n は自然数) のデジタル信号 D_i ($i=1, 2, \dots, n$) をアナログ出力 V_{out} に変換する D/A 変換方法において、

オンの前記デジタル信号 D_i のビット桁に対応して、複数種類の電位 V_{xi} のいずれかを選択して、 n 個の変換容量 C_{xi} のそれぞれに変換電荷を蓄積するとともに、オフの前記デジタル信号 D_i に対応して前記変換容量 C_{xi} に蓄積される変換電荷をビット桁に関わらず一定とし、

前記変換電荷を合計してなる総電荷に対応してアナログ出力 V_{out} を供給する。

本発明によれば、デジタル信号 D_i のビット桁に応じた変換電荷を蓄積するために、複数種類の電位 V_{xi} が用いられる。したがって、それぞれの電位 V_{xi} に対応する変換容量 C_{xi} の実際の容量値によって、電位 V_{xi} の値を調整することができる。そして、線形性を有するD/A変換が可能となる。

本発明に係る液晶パネル用基板は、液晶パネルにおける一方の基板であって、前記液晶パネルを駆動するための駆動回路と、前記液晶に電圧を印加するための画素電極と、該画素電極への電位の供給を制御する薄膜トランジスタと、を有し、前記駆動回路は、上述したD/A変換器を含む。

本発明によれば、線形性を有するD/A変換器が用いられるので、階調の逆転現象が生じない液晶パネルを得ることができる。

本発明に係る液晶パネル用基板において、前記変換容量 C_{xi} 又は前記基準容量 C_s の少なくとも一方は、前記薄膜トランジスタと共通の製造プロセスによって、同一の基板上に製造されることが好ましい。

本発明に係る液晶表示装置は、上記液晶パネル用基板が用いられる。

本発明に係る液晶表示装置は、

1 水平走査期間は、走査信号の選択期間と、該選択期間と次の選択期間との間のブランキング期間とからなり、

前記ブランキング期間において、前記総電荷の蓄積及びアナログ出力 V_{out} の供給が行われる。

本発明に係る液晶表示装置は、

1 水平走査期間は、走査信号の選択期間と、該選択期間と次の選択期間との間のブランキング期間とからなり、

前記ブランキング期間において、前記総電荷の蓄積が開始され、

次の水平走査期間の選択期間において、前記総電荷の蓄積が終了して、アナログ出力 V_{out} の供給が行われる。

本発明によれば、総電荷の蓄積開始から終了までの期間を長くすることができるので、十分に充電が可能となる。

本発明は、複数の走査線と、複数の信号線と、各走査線と各信号線とに接続されたスイッチ素子と、を有するアクティブマトリクス型表示装置における前記信

号線を、画像信号の供給に先だってプリチャージする方法であって、

複数種類のプリチャージ用直流電位を選択的に前記信号線に接続するためのスイッチを、一本の信号線毎に用意しておき、

前記スイッチを切り換えて前記信号線をいずれかの前記プリチャージ用直流電位に接続し、これにより前記信号線を、前記画像信号の振幅の中心電位に対する極性と同一の極性でプリチャージすることを特徴とする。

アクティブマトリクス型表示装置、例えば液晶表示装置では、液晶の劣化を防止するために液晶を反転駆動する必要がある、その反転駆動の方式もいくつかあるため、信号線のプリチャージの極性もその反転駆動の極性に合致させて適宜に変更する必要がある。この場合、反転駆動に合致した周期をもつパルスを生成し、そのパルスを信号線に供給してプリチャージを行うことも考えられる。しかし、この場合には、そのパルスを信号線に伝達するための配線が必要であり、その配線の充放電を伴うために、プリチャージを高速化した場合に消費電力が増大する。また、液晶パネルの大型化に伴い、その配線の長さが長くなり、寄生容量も増大するため、その配線の時定数が大きくなってプリチャージ用のパルスが鈍り、プリチャージの正確性（精度）が低下する。また、線順次駆動で、かつ信号線毎に極性を反転させる駆動（信号線反転駆動）方式を採用する場合、同時に両極性のプリチャージが必要とされることから適用が困難であるという問題もある。

そこで、このプリチャージ方法では、あらかじめ異なる直流電位を用意しておき、液晶の反転駆動の極性に対応させて、それらの直流電位と信号線との間の接続を適宜制御してプリチャージを行うという新規な手法を採用する。その接続の制御は、直流電位と信号線との間に介在するスイッチを操作することにより行う。

この場合、プリチャージに伴う充放電は信号線のみでよく、高速化しても消費電力の増大を抑制できる。また、信号線に正確な電圧を印加でき、プリチャージの正確性（安定性）が向上する。また、スイッチの操作を適宜に制御すれば、種々の反転駆動方式に自在に対応可能である。

本発明において、それぞれの前記プリチャージ用直流電位に保たれた配線が、前記各電位毎に用意されてもよい。

プリチャージ電位線を複数用意しておくことにより、スイッチの制御のみで、

種々の反転駆動方式に自在に対応できる。

本発明において、前記配線の各々の等価容量は、前記信号線の各々の等価容量よりも大きくてもよい。

プリチャージ用直流電位線の等価容量（寄生容量）を信号線の等価容量（寄生容量）より十分に大きくしておけば、信号線容量の影響を無視できるようになり、プリチャージの精度がさらに向上する。

プリチャージ用直流電位線はそれ自体でかなりの容量を持っている。また、さらに容量を増大させる場合には、例えば、MOSトランジスタのゲート絶縁膜を用いて構成したキャパシタを付加する等の手法を採用すればよい。

本発明は、1または複数の走査線毎にプリチャージの極性を時間的に反転させてもよい。

液晶の走査線反転駆動に対応させて、プリチャージの極性を反転させるものである。走査線反転駆動は、フリッカや輝度傾斜、ならびに縦クロストークの防止に有効である。

本発明は、アクティブマトリクス型表示装置を線順次駆動する場合に、1または複数の信号線毎にプリチャージの極性を周期的に反転させてもよい。

液晶の「線順次駆動」かつ「信号線反転駆動」に対応させて、プリチャージの極性を反転させるものである。液晶の信号線反転駆動は、フリッカや横クロストーク、ならびに縦クロストークの防止に有効であり、本発明は、このような駆動方式を採用する場合にも、高速かつ高精度の信号線プリチャージを行うことができる。

本発明は、アクティブマトリクス型表示装置を点順次駆動する場合に、1または複数の信号線毎にプリチャージの極性を周期的に反転させてもよい。

液晶を「点順次駆動」でかつ「信号線反転駆動」する場合に、これに対応した極性でプリチャージを行うものである。

本発明は、前記信号線プリチャージは、水平選択期間に先立つ水平ブランキング期間において、少なくともある信号線に対してある期間は同時に行われてもよい。

水平走査期間および水平ブランキング期間を有効に活用してプリチャージを行

うものである。

本発明は、アクティブマトリクス型表示装置を点順次駆動する場合に、前記点順次駆動に先だつ水平ブランキング期間および水平選択期間に、所定のタイミングで前記信号線の各々に接続されている前記スイッチを順次に切り換えていき、これにより、信号線のプリチャージを行ってもよい。

液晶の「点順次駆動」の場合に、プリチャージも点順次形式で行うものである。各信号線で、映像信号が供給される時刻よりも同じだけ以前の時刻にプリチャージが行われるので、プリチャージの精度がさらに向上する。

本発明において、前記プリチャージ用直流電位はそれぞれ、前記画像信号の灰色レベルに相当する電位であつてもよい。

信号線を、映像信号振幅のほぼ中間の電位にプリチャージしておくことにより、液晶の高速な駆動が実現される。

本発明は、前記スイッチの前記信号線への接続時間を制御することにより、前記信号線の充放電の電流量を調整し、これによって前記信号線を所定の電圧レベルにプリチャージしてもよい。

本プリチャージ方法では、プリチャージ用直流電位と信号線との接続時間を制御して「移動電荷の積分値（つまり電流量）」を制御し、もって、信号線を所望の電圧にプリチャージするものである。

プリチャージ用直流電位の絶対値を、実際の信号線のプリチャージ電位より十分に大きくしておけば、電圧差を利用して高速な充放電を行える。よって、プリチャージに要する時間を短縮化できる。

本発明は、複数の走査線と、複数の信号線と、各走査線と各信号線とに接続されたスイッチ素子と、を具備するアクティブマトリクス型表示装置における前記信号線を、画像信号の供給に先だつてプリチャージする方法であつて、

第1のプリチャージ電位線と、この第1のプリチャージ電位線の電位とは異なる第2のプリチャージ電位線と、前記第1および第2のプリチャージ電位線のいずれかを選択的に前記信号線に接続するためのスイッチとを、一本の信号線毎に用意しておき、

前記スイッチを切り換えて、前記信号線を前記第1および第2のプリチャージ

電位線のいずれかに接続して前記信号線のプリチャージを行うと共に、前記第1および第2のプリチャージ電位線のそれぞれの電位を周期的に反転させることを特徴とする。

本プリチャージ方法では、プリチャージ用電位を固定せず、第1および第2のプリチャージ電位線の電位を周期的に反転させるようにする。これにより、スイッチの構成を簡素化できる。

本発明は、複数の走査線と、複数の信号線と、各走査線と各信号線とに接続されたスイッチ素子と、を具備するアクティブマトリクス型表示装置における前記信号線を、画像信号の供給に先だってプリチャージする信号線プリチャージ回路であって、

第1のプリチャージ用電位線と、

前記第1のプリチャージ用電位線とは異なる電位の第2のプリチャージ用直流電位線と、

前記第1および第2のプリチャージ用電位線のいずれかを選択的に前記信号線に接続するためのスイッチと、

前記スイッチのを切り換えを制御するスイッチ制御回路と、を有することを特徴とする。

上述したプリチャージ方法を実現するための回路である。スイッチ制御回路によるスイッチの操作により、種々の液晶の反転駆動に対応した極性でもって、信号線のプリチャージが行える。

本発明は、複数の走査線と、複数の信号線と、各走査線と各信号線とに接続されたスイッチ素子と、を具備するアクティブマトリクス型表示装置における前記信号線を、画像信号の供給に先だってプリチャージする信号線プリチャージ回路であって、

第1のプリチャージ電位線と、

前記第1のプリチャージ用電位線の電位とは異なる電位の第2のプリチャージ電位線と、

前記第1のプリチャージ電位線と信号線の各々との接続／非接続を切り換えるために、各信号線毎に設けられた第1のスイッチと、

前記第2のプリチャージ電位線と信号線の各々との接続／非接続を切り換えるために、各信号線毎に設けられた第2のスイッチと、

前記第1のスイッチおよび前記第2のスイッチの開閉を制御するスイッチ制御回路と、を有することを特徴とする。

本プリチャージ回路では、第1および第2のプリチャージ電位線の各々と各信号線との間にスイッチを設ける。つまり、一本の信号線毎に2個のスイッチ（第1のスイッチと第2のスイッチ）が設けられている。そして、スイッチ制御回路は、第1および第2のスイッチを相補的にオン／オフさせ、どちらかの電位線のみを信号線に接続してその信号線をプリチャージする。

本発明において、プリチャージ回路は、各信号線の各々を点順次でプリチャージするためのパルスを発生させるシフトシフトレジスタを有してもよい。

上述した液晶の「点順次駆動」に対応させてプリチャージも点順次形式で行うプリチャージ方法を実現するために、プリチャージ回路内にシフトレジスタを設けたものである。

本発明において、前記シフトレジスタは、信号線に順次に画像信号を供給するためのシフトレジスタを兼ねてもよい。

一つのシフトレジスタを有効に活用するものである。

本発明に係る液晶パネル用基板は、上記信号線プリチャージ回路を具備するものである。

高速かつ高精度の信号線プリチャージを行えるプリチャージ回路を搭載した液晶パネル用基板を提供することができる。プリチャージ回路は、例えば、基板上に形成された薄膜トランジスタ（TFT）を用いて構成できる。

本発明は、信号線プリチャージ回路を構成するトランジスタと、前記各走査線と各信号線との交点に設けられた液晶と信号線との間の電氣的接続を制御するスイッチ素子とはそれぞれ、共通の製造プロセスによって同一の基板上に製造されてもよい。

液晶マトリクスを構成するスイッチングトランジスタと、プリチャージ回路を構成するトランジスタとを共通の基板上に共通の製造プロセスで形成するため、製造が容易である。

本発明に係る液晶表示装置は、上記液晶パネル用基板を用いて構成される。

高精度なプリチャージを行うことができる、高性能な液晶表示装置を実現できる。

図面の簡単な説明

図1は、本発明のD/A変換器の要部の構成例を示す図であり、図2は、図1における変換容量C1～C6の、実際の容量値を決定する方法の原理を説明するための図であり、図3は、図1のD/A変換器の入出力特性の一例を示す図であり、図4は、図1における変換容量C1～C6の、実際の容量値を決定するための手順を説明するための図であり、図5は、本発明のD/A変換器の一例の入出力特性を示す図であり、図6は、図5に示す入出力特性をもつD/A変換器の作成手順を説明するための図であり、図7は、本発明のD/A変換器を用いた液晶表示装置の具体的構成例を示す図であり、図8A及び図8Bは、図7の液晶表示装置のV0、VC、VCOMの相互の関係を示す図であり、図9は、図7の液晶表示装置の動作の一例を説明するための図であり、図10は、図7の液晶表示装置の動作の他の例を説明するための図であり、図11は、本発明の液晶表示装置の構成を説明するための図であり、図12は、本発明の液晶パネル用基板の構成例を示す図であり、図13は、図12の液晶パネル用基板の要部の断面構造を示す図であり、図14A及び図14Bは、容量分割方式のD/A変換器の原理を説明するための図であり、図15は、容量分割方式のD/A変換器の入出力特性の例を示す図であり、図16は、本発明者によって明らかとされた、容量分割方式のD/A変換器の問題点を説明するための図であり、図17A及び図17Bは、図16に示される問題点が生じる理由を定性的に説明するための図であり、図18は、図16に示される問題点が生じる理由を定量的に説明するための図であり、図19は、本発明で使用されるTFTおよびMOS容量を共通の基板上に作成するための製造方法の第1の工程を示す、デバイスの断面図であり、図20は、本発明で使用されるTFTおよびMOS容量を共通の基板上に作成するための製造方法の第2の工程を示す、デバイスの断面図であり、図21は、本発明で使用されるTFTおよびMOS容量を共通の基板上に作成するための製造方法の第3の工程

を示す、デバイスの断面図であり、図 2 2 は、本発明で使用される T F T および M O S 容量を共通の基板上に作成するための製造方法の第 4 の工程を示す、デバイスの断面図であり、図 2 3 は、本発明で使用される T F T および M O S 容量を共通の基板上に作成するための製造方法の第 5 の工程を示す、デバイスの断面図であり、図 2 4 は、本発明で使用される T F T および M O S 容量を共通の基板上に作成するための製造方法の第 6 の工程を示す、デバイスの断面図であり、図 2 5 は、本発明で使用される T F T および M O S 容量を共通の基板上に作成するための製造方法の第 7 の工程を示す、デバイスの断面図であり、図 2 6 は、本発明の第 4 の実施形態に係る D / A 変換回路を示す図であり、図 2 7 は、本発明の第 4 の実施形態に係る液晶表示装置用の駆動回路を示す図であり、図 2 8 は、本発明の第 4 の実施形態に係る液晶表示装置を示す図であり、図 2 9 は、本発明の第 4 の実施形態に係る D / A コンバータ特性を示す図であり、図 3 0 は、本発明の第 4 の実施形態に係る液晶表示装置の駆動方法を示す図であり、図 3 1 A 及び図 3 1 B は、液晶表示装置の反転駆動の動作を説明する図であり、図 3 2 A 及び図 3 2 B は、第 4 の実施形態における変換容量及び電位の調整方法を説明する図であり、図 3 3 は、本発明の第 4 実施形態の変形例を示す図であり、図 3 4 は、本発明の第 5 実施形態に係る D / A 変換回路を示す図であり、図 3 5 は、本発明の第 6 実施形態に係る D / A 変換回路を示す図であり、図 3 6 は、図 3 5 に示す D / A 変換回路を適用した液晶表示装置の駆動方法を示す図であり、図 3 7 は、本発明の第 7 実施形態に係る D / A 変換回路を示す図であり、図 3 8 は、第 7 実施形態における変換容量の容量値及び電位を示す図であり、図 3 9 は、本発明の第 8 実施形態に係る液晶表示装置の駆動方法を示す図であり、図 4 0 は、本発明の第 9 実施形態に係る D / A 変換回路を示す図であり、図 4 1 は、本発明の第 1 0 実施形態に係る D / A 変換回路を示す図であり、図 4 2 A 及び図 4 2 B は、本発明の第 1 1 実施形態に係る液晶表示装置の駆動方法示す図であり、図 4 3 A 及び図 4 3 B は、本発明の第 1 2 実施形態に係る液晶表示装置の駆動方法を示す図であり、図 4 4 は、第 1 2 実施形態の D / A コンバータ特性を示す。図 4 5 A 及び図 4 5 B は、第 1 2 実施形態の駆動方法の変形例を示す図であり、図 4 6 A は、本発明の信号線プリチャージ方法の一例の原理を説明するための図であり、図 4

6 B図はプリチャージに伴う信号線の電位変化を示す図であり、図4 6 C図は本プリチャージ方法の効果の一つを説明するための図であり、図4 7 A及び図4 7 Bは、液晶表示装置における反転駆動の態様を示す図であり、図4 8は、本発明のプリチャージ方法の効果の説明のための、対比例の液晶表示装置の要部構成を示す図であり、図4 9 A及び図4 9 Bは、本発明の信号線プリチャージ方法の他の例の特徴を説明するための図であり、図5 0は、図4 9のプリチャージ方法を実現するための回路の一例を示す図であり、図5 1は、本発明の液晶表示装置（線順次駆動）の構成の一例を示す図であり、図5 2は、図5 1の液晶表示装置における反転駆動方式ならびにプリチャージ方式の一例（線順次で走査線反転を行う方式）を示す図であり、図5 3は、図5 2の駆動およびプリチャージを実行する場合の、図5 1のプリチャージ回路の動作例を示す図であり、図5 4は、図5 3の駆動およびプリチャージを行うためのプリチャージ回路の構成例を示す図であり、図5 5は、図5 4の駆動およびプリチャージを実行する場合の動作例を示す図であり、図5 6は、図5 4のプリチャージ方式を実行するためのプリチャージ回路の一例を示す図であり、図5 7は、図5 1の液晶表示装置における反転駆動方式ならびにプリチャージ方式の他の例（線順次で、走査線反転かつ信号線反転を行う方式）を示す図であり、図5 8は、図5 4および図5 6のスイッチ制御信号を発生させるための回路の例を示す図であり、図5 9は、本発明の液晶表示装置（点順次駆動で、プリチャージは一括して行う方式）の構成の一例を示す図であり、図6 0は、図5 6の液晶表示装置における反転駆動方式ならびにプリチャージ方式の一例（点順次駆動で、走査線反転かつ信号線反転のプリチャージを直前のブランキング期間に一括して行う方式）を示す図であり、図6 1は、図5 9の駆動およびプリチャージを行う場合の動作例を示す図であり、図6 2は、本発明の液晶表示装置（点順次駆動で、プリチャージも点順次形式で行う方式）の構成の一例を示す図であり、図6 3は、点順次駆動で走査線反転かつ信号線反転駆動を行い、プリチャージも同様に行う方式を示す図であり、図6 4は、プリチャージ方式を実現するためのプリチャージ回路の要部の構成例を示す図であり、図6 5は、図6 3の駆動およびプリチャージを行う場合の動作を示す図であり、図6 6は、本発明の液晶表示装置（点順次駆動で、プリチャージを一括して行い、

かつプリチャージ電位 V_{pca} , V_{pcb} を周期的に反転させる方式を採用) の構成の一例を示す図であり、図 6 7 は、図 6 6 の液晶表示装置における動作例を示す図であり、図 6 8 は、信号線の駆動およびプリチャージの双方を一本のシフトレジスタで行う方式を採用した液晶表示装置の要部構成例を示す図であり、図 6 9 は、本発明の液晶表示装置の構造を説明するための図であり、図 7 0 は、本発明の液晶パネル用基板の平面図であり、図 7 1 は、図 7 0 の液晶パネル用基板の一部断面図であり、図 7 2 は、複数本の信号線を同時に駆動するための、駆動回路系の構成例を説明するための図であり、図 7 3 は、図 7 2 における、サンプリング手段および信号線駆動回路の具体的構成例を示す図であり、図 7 4 は、従来の二進荷重キャパシタを使用した D/A 変換回路を示す図であり、図 7 5 は、従来の D/A 変換器の D/A コンバータ特性の一例を示す図であり、図 7 6 A 及び図 7 6 B は、信号線プリチャージの効果を説明するための図である。

発明を実施するための最良の形態

本発明の具体的な内容を説明する前に、「容量分割方式の D/A 変換器の変換原理」と「D/A 変換器における出力の逆転現象」について説明する。

(容量分割方式の D/A 変換器の変換原理)

図 1 4 A に示すように、2 つの容量 2 0 0 0, 2 1 0 0 を考える。容量 2 0 0 0 の蓄積電荷 (電位 V_X 側の電荷) Q_A および容量 2 1 0 0 の蓄積電荷 (電位 V_C 側の電荷) Q_B は、図 1 4 A の右側に記載のとおり、 $Q_A = C_A (V_X - V_0)$, $Q_B = C_B (V_C - V_{COM})$ となる。ここで、 C_A は容量 2 0 0 0 の容量値であり、 C_B は容量 2 1 0 0 の容量値である。

次に、図 1 4 B に示すように、容量 2 0 0 0 と 2 1 0 0 とを接続すると、 V_C と V_X の大小に応じた電流 ($V_C < V_X$ のときは電流 I_S 、 $V_C > V_X$ のときは電流 I_R) が流れ、共通接続端より出力電圧 V が得られる。

このとき、容量 2 0 0 0 の蓄積電荷 (電位 V 側の蓄積電荷) Q_A' および容量 2 1 0 0 の蓄積電荷 (電位 V 側の蓄積電荷) Q_B' は、図 1 4 B の右側に記載のとおり、 $Q_A' = C_A (V - V_0)$, $Q_B' = C_B (V - V_{COM})$ となる。

総電荷量は変化しないため、 $Q_A + Q_B = Q_A' + Q_B'$ が成立する。この関係よ

り、出力電圧 V を求めると、 $V = (CAV_X + CBV_C) / (CA + CB)$ となる。ここで、容量 2000 の容量値「CA」が入力デジタル信号値によって変化すれば、それに追従してアナログ変換出力電圧 (V) が得られることになる。

本明細書では、容量 2000 を「変換容量」といい、容量 2100 を「結合容量」という。

そして、 $V_C < V_X$ に設定されているときは、デジタル入力の増加にしたがって変換容量も増加するならば、入出力特性は、図 15 の (ア) に示すように、入力値の増加に伴い出力値が増大する特性となり、 $V_C > V_X$ のときは、図 15 の (イ) に示すように、入力値の増加に伴い出力値が減少する特性となる。

(D/A 変換器における出力の逆転現象)

① 図 15 (イ) の特性をもつ D/A 変換器を例にとり説明する。図 16 に示すように、デジタル入力が「31」から「32」へと変化した時点で、本来、出力値が減少するべきところ、逆に増大する現象 (出力の逆転現象) がみられる。

② 出力の逆転が発生する理由

図 17 A は、2 進荷重キャパシタ (変換容量) $C_{10} \sim C_{15}$ を用いた D/A 変換器の基本構成を示す図である。図中、「CS」は結合容量を示し、また、「SW1 ~ SW6」は 6 ビットのデジタル入力の各ビットの「1」と「0」に対応して開閉されるスイッチである。

変換容量 $C_{10} \sim C_{15}$ の比の値の設計値はそれぞれ、「1」、「2」、「4」、「8」、「16」、「32」であるが、実際には、図 18 の「実際値」に示すように、容量値は、かなりのばらつきを有しているものとする。

図 18 では、誤差の割合を「0.1」、つまり、ばらつきの最大幅を設計値の 10% とし、かつ、 $C_{10} \sim C_{15}$ については、容量値が増大する方向 (正 (+) 方向) に 10% の誤差が生じており、一方、容量 C_{15} については、容量値が減少する方向 (負 (-) 方向) に 10% の誤差が生じていると仮定している。したがって、変換容量 $C_{10} \sim C_{15}$ の比の値の実際値は、「1.1」、「2.2」、「4.4」、「8.8」、「17.6」、「28.8」となっている。

ここで、デジタル入力として「31」を入力した場合、図 17 A のようにスイッチ SW1 ~ SW5 がオン、SW6 のみオフとなり、電荷 $Q_1 \sim Q_5$ の移動 (図

中、矢印で示される)が生じて、変換容量 $C_{11} \sim C_{15}$ と結合容量 C_S との共通接続点から、アナログ変換電圧「V」が得られる。

次に、全容量をリセットした後、デジタル入力として「32」を入力すると、図17Bに示すように、スイッチ $SW_1 \sim SW_5$ がオフ、スイッチ SW_6 のみがオンとなり、電荷 Q_6 の移動(図中、矢印で示される)が生じる。このとき、図17Aにおける移動電荷量($Q_1 + Q_2 + Q_3 + Q_4 + Q_5$)よりも、図17Bに示す移動電荷量 Q_6 の方が小さいため、アナログ変換出力(V)が逆に増大してしまい、図16のような逆転現象が生じる。

キャパシタの電荷量は、容量値と電圧の積で決まり、電圧が一定の場合には容量値で決定されるため、結局、図18の下側に示すように、あるビット(j)に対応するキャパシタの容量値が、そのビットより下位のビット(i)に対応するすべてのキャパシタの容量値よりも小さいと、逆転現象が生じることになる。

図18の場合、変換容量 C_{15} のみ、ばらつきの方が異なってしまったために、変換容量 $C_{11} \sim C_{14}$ の全容量値(=34.1)より、変換容量 C_{15} の容量値(=28.8)が小さくなり(つまり、「容量値のが逆転」が生じる)、入力値「32」に対応して、図16のような逆転が発生することになる。

以上の例では、容量 C_{15} のみ負(-)方向にばらつきが生じた場合を想定したが、容量 $C_{11} \sim C_{14}$ についても、ばらつきの方は不定であり、同様の逆転現象が他のビットについても生じる恐れがある。

液晶パネルに、明るさが徐々に変化していく背景色(グラジュエーション)を表示している場合に、「出力の逆転現象」が生じると、明るい背景中の一部が暗くなるなどして、液晶パネルを見ている人に違和感を感じさせることになる。このような画質の低下は特に、人の注意を引きやすく、よって表示パネルにとっては、致命的な欠陥となることがある。

(第1実施形態)

(a) 本実施の形態の特徴

上述のような考察に基づき、第1の実施の形態では、D/A変換器の「出力の逆転現象」を完全に防止する構造とする。

つまり、あるビット(j)よりも下位ビット(i)のすべてについて同一方向

の容量値のばらつきが生じ、そのビット（ j ）についてのみ、逆の方向に容量値のばらつきが生じた場合（つまり、最悪の場合）でも、決して「容量値の逆転」が生じないように、あらかじめキャパシタの容量値を設計することが、本実施の形態の特徴である。

図 1 は、本実施の形態にかかる D/A 変換器 20 の構成を示す図である。この D/A 変換器 20 の特徴は、図 1 の下側に示すように、変換容量 $C_1 \sim C_6$ の容量比の「設計値」を最初から、 $C_1 : C_2 : C_3 : C_4 : C_5 : C_6 = 1 : 2 : 4 : 8 : 16 : 32$ としていることである。

なお、図 1 において、参照番号 10～15 は入力端子を示し、参照番号 16 は出力端子を示し、CS は結合容量である。

図 2 は先に説明した図 18 に対応する図である。図 2 の下側に、本実施の形態にかかる D/A 変換器 20 について、あるビット（ j ）に対応するキャパシタの容量値と、そのビットより下位のビット（ i ）に対応するすべてのキャパシタの容量値の総和とを比較した結果が示されている。

明らかなように、本実施の形態では、入力値が「31」から「32」に変化しても、図 18 に見られた「容量値の逆転」は発生しない。したがって、図 3 に示すように、D/A 変換器における「出力の逆転」が生じない。さらに、本実施の形態では、各ビットの容量値がどのようにばらついても（つまり、上述した最悪のばらつきの状態がどのビットについて発生しても）、「出力の逆転」が生じないように設計されている。

（b）設計手法

次に、変換容量の容量値をいかに設計するかについて説明する。

上述した、容量値の「最悪のばらつき」が生じた場合を考慮して、隣り合う容量間で、常に以下の（1）式の関係が成立するように、容量値を設計していく。

$$C_{oj} - dC_j > \sum_{i < j} (C_{oi} + dC_i) \quad (\text{for all } j) \cdots (1)$$

但し、（1）式における記号等の意味は以下のとおりである。

C_i : i 番目の変換容量

C_{oi} : i 番目の変換容量の設計値

dC_i : i 番目の変換容量のばらつき

C_j : j 番目の変換容量

$C_o j$: j 番目の変換容量の設計値

$d C_j$: j 番目の変換容量のばらつき

$\Sigma(i < j)$: j より小さいすべての i についての総和

for all j : すべての j について成立する

ここで、注意すべき点は、「 $d C_i$ 」の符号が正 (+) であるに対し、「 $d C_j$ 」の符号が負 (-) となっている点である。

各変換容量が (1) 式の関係を満たせば、重みづけされた複数の容量の容量比がばらつき、そのばらつきが最悪の条件となっても、 j 番目の容量の容量値は、1 番目から ($j - 1$) 番目までの全ての容量の容量値の合計より必ず大きくなり、重みが逆転することがない。ゆえに、D/A 変換器における「出力の逆転現象」は確実に防止される。また、補正回路等の余分な回路を付加する必要もなく、低コストであり、製造も容易である。

但し、上述のような設計を行うと、現実の重みづけが理論値 (2 進荷重) からずれているために、D/A 変換器の変換誤差は増大する。しかし、D/A 変換器を画像表示のための駆動回路として使用する場合、各ビットの重みが理論値 (2 進荷重) からずれていても、人間の視覚ではそのずれ量をはっきりと認識することは困難であり、特に違和感が生じない。これに対し、上述のように、「出力の逆転現象」が生じると、明るい背景中の一部が暗くなるなどして、はっきりと認識されてしまう。つまり、画質の低下が目立つことになる。

本実施の形態は、このような画像表示の際の人間の目の特性を考慮し、変換精度よりも「出力の逆転の防止」を重視するという新規な知見に基づいた構成となっている。

容量値の決定の手順を具体的に示すと、図 4 のようになる。

すなわち、まず、「変換容量の設計値 (C_i) および予想されるばらつき ($d C_i$)」を設定する (ステップ 100)。予想されるばらつき ($d C_i$) は、容量値のパターン精度や、製造ラインの能力等を検討して、所望の信頼度を確保できるような値とする。

次に、 $j = 2$ として (ステップ 110)、上述の (1) 式が成立するかを判定

し（ステップ120）、成立しなかった場合にはC_{0j}を変更する（ステップ130）。この変更の際には、変換誤差を抑制するため、上述の（1）式を満たす最小のC_{0j}を選択するのが望ましい。

ステップ120において、（1）式が成立した場合、jがMSB（最上位ビット）かどうかを判定し（ステップ140）、そうでなければ、jの値をインクリメントし（ステップ150）、以下同様に、すべてのjについて、ステップ120、130、140を繰り返す。

（第2実施形態）

第1の実施の形態では、「D/A変換器の出力の逆転」を防止することを前提としていたが、用途によっては、もう少し緩やかな規格で設計してもよい場合がある。

そのような場合は、設計の基準を緩和し、図5に示すように、仮に逆転が生じても、その逆転電圧（ΔV）がしきい値（V_{th}）以下ならばよいとして設計することも可能である。

ここでは、視認しきい値という基準を導入し、逆転電圧（ΔV）が、視認しきい値を越えないように、変換容量の容量値を設計する。「視認しきい値」とは、D/A変換器の出力を輝度情報として用いて画像を表示した場合において、人が視覚により認識できない差異の最大値をいい、20mV程度である。

図1に示される容量分割方式のD/A変換器の出力（V）は、先に、図14A、図14Bを用いて、D/A変換器の原理の欄で説明したように、

{（変換容量の他端の電位・変換容量の容量値）+（結合容量の他端の電位・変換容量の容量値）}/（変換容量と結合容量の和）で表される。

したがって、上述の容量値の最悪のばらつきの場合を考慮すると、以下の（2）式を満たすように、各容量の容量値を決定すればよいことになる。

$$\frac{\{V_c \cdot C_s + V_o (C_{0j} - d_{cj})\}}{\{C_s + (C_{0j} - d_{cj})\}} - \frac{\{V_c \cdot C_s + V_o (\sum_{i < j} (C_{0i} + d_{ci}))\}}{\{C_s + \sum_{i < j} (C_{0i} + d_{ci})\}} > -V_{th} \quad (\text{for all } j) \quad \dots (2)$$

但し、上式における記号等の意味は以下のとおりである。

C_s : 結合容量の容量値

V_c : スイッチが閉じられる前の結合容量の他端の電位

V_o : スイッチが閉じられる前の各変換容量の他端の電位

C_{oi} : i 番目の変換容量の設計値

dC_i : i 番目の変換容量のばらつき

C_{oj} : j 番目の変換容量の設計値

dC_j : j 番目の変換容量のばらつき

V_{th} : D/A変換器の出力を輝度情報として用いて画像を表示した場合において、人が視覚により認識できない差異の最大値（視認しきい値）

$\Sigma(i < j)$: j より小さいすべての i についての総和

for all j : すべての j について成立する

そして、設計手順としては、図6に示す、各ステップ200～250を実行すればよい。この手順は、図4の場合と同様である。

(第3実施形態)

以下、上述のD/A変換器を、液晶パネル用基板上に搭載した液晶表示装置について説明する。

(a) 液晶表示装置の概要

液晶表示装置は、例えば、図11に示すように、バックライト1000、偏光板1200、TFT基板1300と、液晶1400と、対向基板（カラーフィルタ基板）1500と、偏光板1600とからなる。本実施の形態では、TFT基板1300上に駆動回路1310を形成している。

TFT基板1300上には、図12に示すように、走査線 $W_1 \sim W_n$ と、信号線 $D_1 \sim D_n$ と、画素部のTFTと、走査線駆動回路1320と、信号線駆動回路1330が形成されている。そして、図13に示すように、液晶1400は、TFT基板1300と対向基板1500との間に封入されている。なお、参照番号1520、1522は配向膜である。

(b) 信号線駆動回路の構成

図7（の右側）に示されるように、信号線駆動回路1330は、シフトレジスタ1300と、ラッチ400と、ラッチ500と、ゲート回路600と、D/A変換回路700とを具備する。

シフトレジスタ300は、液晶パネル800におけるデータ線（D1等）の本数に相当する段数のレジスタ（310，311）をもち、6ビットの入力デジタル信号D1～D6をサンプリングするためのサンプリングパルス（SP1，SP2等）を出力する。このサンプリングパルス（SP1，SP2等）は、ラッチ400における、動作クロック（CL1等）となる。

ラッチ400は、図7の左側に示すように、クロックドインバータを用いて構成された一時記憶回路A1～A6と、反転クロック（nCL1）を生成するためのインバータ24とを有する。一時記憶回路A1は、3つのインバータ21，22，23からなる。

ラッチ500も同様に、クロックドインバータを用いて構成された一時記憶回路B1～B6と、反転クロック（nCL2）を生成するためのインバータ28とを有する。一時記憶回路B1は、3つのインバータ25，26，27からなる。このラッチ500には、外部よりラッチパルス（LP）が入力される。

ゲート回路600は2入力ナンドゲート30～35からなり、各ゲートには、結合パルス（CP）が共通に入力される。

D/A変換器700は、前掲の実施の形態で説明した手法に基づき設計されている。つまり、変換容量C1～C6の容量値は、通常の2進荷重とは異なる設計がなされており、D/A変換誤差に起因した輝度の逆転が生じない、あるいはその逆転が認識されないレベルに抑える工夫が施されている。

n型MOSトランジスタ（M1，M2）からなるスイッチE1は、変換容量C1をリセットする機能をもつ。そのオン／オフは、リセット信号（RS）により制御される。なお、スイッチE2～E6も同様の構成を有する。アナログスイッチF1は、変換容量C1と結合容量CSとの接続／非接続を制御するものであり、pMOSトランジスタP1，nMOSトランジスタM3，インバータ40とからなる。アナログスイッチF2～F6も同様の構成を有する。

また、nMOSトランジスタM4およびM5からなるスイッチ50は、結合容

量CSをリセットする機能を持ち、リセット信号(RS)によりオン/オフされる。

また、D/A変換器700における動作電位V0、VC、VCOMはそれぞれ、図8Aまたは図8Bに示すような関係にある。図8Aのような関係にある場合、 $VC > V0$ であり、よって、図15の(イ)のような特性をもつ減算型のD/A変換器となる。なお、液晶セルを反転駆動するために、電位V0、VCは周期的に反転するようになっている。また、図8A中、「RA1」、「RA2」は、D/A変換器の出力のダイナミックレンジを示す。

一方、図8Bの場合、 $VC < V0$ であり、図15の(ア)のような特性をもつ加算型のD/A変換器となる。「RB1」、「RB2」は、D/A変換器の出力のダイナミックレンジを示す。

(c) 信号線駆動回路の動作

図7の信号線駆動回路の動作タイミングの一例を図9に示す。液晶パネル800における1水平走査期間(T_h)は、選択期間(T_s)と、ブランキング期間(T_b)とからなる。

時刻 $t_0 \sim t_1$ の間に、シフトレジスタ300から出力されるサンプリングパルス $SP_1 \sim SP_n$ により1行分の画像データがラッチ400に取り込まれる。この間、リセット信号RSは「H」状態であり、各変換容量および結合容量はリセットされている。時刻 t_2 にリセット信号RSが「L」となってリセットが終了し、続いて、時刻 t_3 にラッチパルスLPが「H」となって、ラッチ400に蓄えられた画像データがラッチ500へと移される。

続いて、時刻 t_4 に、結合パルス t_4 が「H」となって各変換容量 $C_1 \sim C_6$ と結合容量CSとが結合され、時刻 $t_4 \sim t_5$ の間にD/A変換がなされる。そして、時刻 t_6 にリセット信号RSが再び「H」となって、各容量のリセットが行われる。

なお、図10に示すように、D/A変換を行う期間を時刻 $t_4 \sim t_7$ と延長し、十分なD/A変換期間を確保することも可能である。これにより、より正確なD/A変換が可能となる。

以上の構成を有する駆動回路を使用した液晶表示装置は、D/A変換誤差に起因した輝度の逆転が生じない、あるいはその逆転が認識されないレベルに抑える

ことができる、高信頼度の液晶表示装置となる。

(d) 容量とTFTの製造プロセス

D/A変換器を構成するTFT，画素部のTFTおよびD/A変換器を構成する変換容量の製造プロセス（低温多結晶シリコンプロセス）を図19～図25を用いて説明する。以下の製造プロセスでは、製造工程を簡略化するために、D/A変換器を構成するTFT，画素部のTFTおよびD/A変換器を構成する変換容量のそれぞれを共通の工程で形成する。

なお、D/A変換器の結合容量（CS）は、積極的にD/A変換器内に作り込むのではなく、液晶セル内でのソースバス配線と対向基板との寄生容量によって形成するので、ここでは説明を省く。

まず、図19に示すように基板4000上にバッファ層4100を設け、そのバッファ層4100上にアモルファスシリコン層4200を形成する。

次に、図20に示すように、アモルファスシリコン層4200の全面にレーザー光を照射してアニールを施すことによりアモルファスシリコンを多結晶化し、多結晶シリコン層4220を形成する。

次に、図21に示すように多結晶シリコン層4220をバターニングして、アイランド領域4230，4240，4250を形成する。アイランド領域4230，4240は、MOSトランジスタの能動領域（ソース，ドレイン）が形成される層である。また、アイランド領域4250は、薄膜容量の一極となる層である。

次に、図22に示すように、マスク層4300を形成し、アイランド領域4250のみにリン（P）イオンを打ち込み、低抵抗化する。

次に、図23に示すように、ゲート絶縁膜4400を形成し、そのゲート絶縁膜上にTa₂N層4500，4510，4520を形成する。Ta₂N層4500，4510はMOSトランジスタのゲートとなる層であり、Ta₂N層4520は薄膜容量の他極となる層である。その後、マスク層4600を形成し、ゲートTa₂N層4500をマスクとして、セルフアラインでリン（P）をイオン打ち込みし、n型のソース層4231，ドレイン層4232を形成する。

次に、図24に示すように、マスク層4700a，4700bを形成し、ゲー

トTa₂N層4510をマスクとして、セルフアラインでボロン(B)をイオン打ち込みし、p型のソース層4241、ドレイン層4242を形成する。

その後、図25に示すように、層間絶縁膜4800を形成し、その層間絶縁膜にコンタクトホールを形成した後、ITOやAlからなる電極層4900、4910、4920、4930を形成する。なお、図25では図示されないが、Ta₂N層4500、4510、4520や多結晶シリコン層4250にもコンタクトホールを介して電極が接続される。これにより、nチャネルTFT、pチャネルTFTおよびMOS容量が完成する。

以上のべたような、工程を共通化した製造プロセスを用いることにより製造が容易化され、コスト面でも有利となる。すなわち、図7におけるアナログスイッチE₁～E_nやF₁～F_nと、変換容量C₁～C₆と、画素部のTFT(M₁₀₀、M₂₀₀)とを共通のプロセスにより製造できる。

そして、上述の実施の形態で述べたような工夫されたD/A変換器を用いることにより、簡略化されたプロセスを用いた場合でも、液晶表示装置の所望の信頼性(表示品質)を確保できるようになる。

(第4実施形態)

図27に、第4の実施形態に係る液晶表示装置用の駆動回路を示す。また、図28に液晶表示装置の分解斜視図を示す。図28に示すように、この液晶表示装置は、アクティブマトリクス型の液晶パネル5040を有する。液晶パネル5040は、画素電極5041への電位の供給を制御する薄膜トランジスタ5042を有するTFT基板5043と、対向電極5044を有するカラーフィルタ基板5045との間に液晶5046が封入されてなる。そして、液晶パネル5040の両面に偏光板5047、5048が取り付けられ、一方の偏光板5048にはバックライト5049が取り付けられている。また、駆動回路5050は、TFT基板5043に形成されている。

駆動回路5050は、図27に示すように、本発明に係るD/A変換回路5100を含む。D/A変換回路5100は、6ビットのデジタル信号をアナログ電圧に変換できるようになっている。

また、TFT基板5043上の回路は、全て低温プロセスにより形成されたボ

リシリコンから成る。

図27において、6本のデジタル配線5010のそれぞれには、デジタル信号D11～D16が入力される。デジタル信号D11～D16は、クロックCL1及び反転クロックnCL1に応じてラッチ回路A11～A16に保持される。ラッチ回路A11～A16は、図74に示すものと同じである。

シフトレジスタ5020は、液晶表示装置の信号線の本数に対応する段のレジスタ5021、5022、…を有し、それぞれが、クロックCL1としてのサンプリングパルスSPを出力する。サンプリングパルスSPの信号レベルは、インバータ5012によって反転し、反転クロックnCL1が生成される。

各レジスタ5021、5022、…のそれぞれに対応してラッチ回路A11～A16が設けられている。ラッチ回路A11～A16に信号が保持されると、全ての信号は一斉に後段のラッチ回路B11～B16に移される。そのために、クロックCL2及び反転クロックnCL2がラッチ回路B11～B16に入力される。

ラッチパルス配線5030には、クロックCL2としてのラッチパルスLPが入力される。ラッチパルスLPの信号レベルは、インバータ5014によって反転し、反転クロックnCL2が生成される。

後段のラッチ回路B11～B16に信号が移されると、この信号に従ってD/A変換の処理が行われる。この処理中に、各レジスタ5021、5022、…のそれぞれに対応するラッチ回路A11～A16に、次の信号を順次入力することができる。

なお、ラッチ回路B11～B16は、ラッチ回路A11～A16と同様であるので詳しい説明を省略する。

ラッチ回路B11～B16に保持された信号は、D/A変換回路5100に入力される。D/A変換回路5100は、変換容量部5101を含む。変換容量部5101は、ラッチ回路B11～B16に保持された信号に応じて、蓄積される電荷が変わることで、対応するアナログ電圧を出力するようになっている。

図26は、D/A変換回路5100の詳細を示す図である。D/A変換回路5100は、変換容量Cx11～Cx16を有し、それぞれに蓄積される電荷がデジタル信号D11～D16に応じて変わることによって、対応するアナログ電圧Voutを出力配線5102の出力端子5102aから取り出せるようになっている。変換容量C

x11 ~ Cx16 は、図 2 7 に示す変換容量部 5 1 0 1 の主要部をなす。

詳しくは、変換容量 Cx11 ~ Cx16 のそれぞれは、変換選択配線 5 1 1 0 ~ 5 1 1 5 の一つと共通電位配線 5 1 1 9 との間に接続されている。変換選択配線 5 1 1 0 ~ 5 1 1 5 には Vx11 ~ Vx16 の電位が供給され、共通電位配線 5 1 1 9 には Vcom の電位が供給されている。したがって、変換容量 Cx11 ~ Cx16 のそれぞれには、Vx11 ~ Vx16 の一つと Vcom との電位差によって、電荷が蓄積される。

ただし、変換容量 Cx11 ~ Cx16 と変換選択配線 5 1 1 0 ~ 5 1 1 5 とは、アナログスイッチ Ta11 ~ Ta16 によって、電氣的に切断され得る。このとき、他のアナログスイッチ Tb11 ~ Tb16 がオンになると、変換容量 Cx11 ~ Cx16 の両電極板は、図 2 6 に示すように、いずれも共通電位配線 5 1 1 9 に接続される。そして、電位差がなくなるので電荷が蓄積されない。

なお、変換容量 Cx11 ~ Cx16 の容量値は、

$$Cx11 = Cx12 = Cx13 = Cx14 = Cx15 = Cx16$$

となっている。また、Vx11 ~ Vx16 の電位は、Vcom を基準として、

$$Vx11 : Vx12 : Vx13 : Vx14 : Vx15 : Vx16 = 1 : 2 : 4 : 8 : 16 : 32$$

となっている。すなわち、公比 2 の等比数列をなしている。

アナログスイッチ Ta11 ~ Ta16 は、ラッチ回路 B11 ~ B16 に保持された信号と変換パルス配線 5 1 1 6 に入力された変換パルス X P との論理積によって制御される。具体的には、AND ゲート 5 1 2 0 ~ 5 1 2 5 からの出力によって、アナログスイッチ Ta11 ~ Ta16 は制御される。

アナログスイッチ Tb11 ~ Tb16 は、ラッチ回路 B11 ~ B16 に保持された信号の反転信号と変換パルス配線 5 1 1 6 に入力された変換パルス X P との論理積によって制御される。具体的には、インバータ 5 1 3 0 ~ 5 1 3 5 によって、ラッチ回路 B11 ~ B16 に保持された信号は反転し、AND ゲート 5 1 4 0 ~ 5 1 4 5 からの出力によって、アナログスイッチ Tb11 ~ Tb16 は制御される。

出力配線 5 1 0 2 と共通電位配線 5 1 1 9 との間には、基準容量 Cs1 が接続されている。また、出力配線 5 1 0 2 と変換基準配線 5 1 1 8 との間には、アナログスイッチ Ts が接続されている。変換基準配線 5 1 1 8 には、Vxs の電位が供

給されている。アナログスイッチ T_s がオンになると、 V_{com} と V_{xs} との電位差により、基準容量 C_{s1} に電荷が蓄積される。基準容量 C_{s1} に蓄積された電荷によって、アナログ出力の最低値を上げることができる。そして、この D/A 変換回路 5100 を液晶表示装置に適用したときに、バイアス電圧を印加することができる。

基準容量 C_{s1} は、アナログスイッチ $T_{c11} \sim T_{c16}$ を介して、変換容量 $C_{x11} \sim C_{x16}$ のそれぞれと直列に接続される。アナログスイッチ $T_{c11} \sim T_{c16}$ は、結合パルス配線 5117 に入力される結合パルス CP によって制御される。

D/A 変換回路 5100 は、上記のように構成されており、以下その D/A 変換方法について説明する。

前提として、ラッチ回路 $B_{11} \sim B_{16}$ に、デジタル信号 $D_{11} \sim D_{16}$ の信号が保持されているものとする。

まず、変換パルス配線 5116 に入力される変換パルス XP によって、アナログスイッチ $T_{a11} \sim T_{a16}$ 又は $T_{b11} \sim T_{b16}$ のいずれか一方がオンになる。具体的には、デジタル信号 $D_{11} \sim D_{16}$ の信号が「H」のときには、アナログスイッチ $T_{a11} \sim T_{a16}$ がオンになる。そして、変換選択配線 5110～5115 の電位 $V_{x11} \sim V_{x16}$ と、共通電位配線 5119 の電位 V_{com} との電位差によって、変換容量 $C_{x11} \sim C_{x16}$ に電荷が蓄積される。それぞれの電荷を Q_i とすると、

$$Q_i = C_{xi} (V_{xi} - V_{com}) \quad (2 \cdot 1)$$

となる。なお、 $i=11, 12, 13, 14, 15, 16$ である。

あるいは、デジタル信号 $D_{11} \sim D_{16}$ の信号が「L」のときには、アナログスイッチ $T_{b11} \sim T_{b16}$ がオンになる。このとき、変換容量 $C_{x11} \sim C_{x16}$ は、両極板間の電位差がなくなって電荷が蓄積されないので、

$$Q_i = 0 \quad (2 \cdot 2)$$

である。(2・1) 式と (2・2) 式とを総合して、

$$\sum Q_i = \sum C_{xi} (D_i (V_{xi} - V_{com})) \quad (2 \cdot 3)$$

となる。なお、 D_i は、デジタル信号 $D_{11} \sim D_{16}$ の各信号レベルに対応して「H」レベルのときを「1」とし、「L」レベルのときを「0」としたものである。

また、これらの動作と同時に、アナログスイッチ T_s がオンになる。そして、

変換基準配線 5 1 1 8 の電位 V_{xs} と共通電位配線 5 1 1 9 の電位 V_{com} との電位差によって、基準容量 C_{s1} に電荷が蓄積される。このときの電荷を Q_s とすると、

$$Q_s = C_{s1} (V_{xs} - V_{com}) \quad (2 \cdot 4)$$

となる。

次に、変換パルス配線 5 1 1 6 に入力される信号が「L」となって、アナログスイッチ $T_{a11} \sim T_{a16}$ 、 $T_{b11} \sim T_{b16}$ 、 T_s がオフとなる。続いて、結合パルス配線 5 1 1 7 に結合パルス CP が入力されて、アナログスイッチ $T_{c11} \sim T_{c16}$ がオンになる。

そうすると、変換容量 $C_{x11} \sim C_{x16}$ のそれぞれと基準容量 C_{s1} とが直列接続される。このときに、変換容量 $C_{x11} \sim C_{x16}$ に蓄積される電荷の総和を $\Sigma Q_{i'}$ 、基準容量 C_{s1} に蓄積される電荷を $Q_{s'}$ とすると、

$$\Sigma Q_{i'} = \Sigma C_{xi} (V_{out} - V_{com}) \quad (2 \cdot 5)$$

$$Q_{s'} = C_{s1} (V_{out} - V_{com}) \quad (2 \cdot 6)$$

となる。なお、 $i=11, 12, 13, 14, 15, 16$ であり、 V_{out} は、出力配線 5 1 0 2 の電位である。

$$\Sigma Q_i + Q_s = \Sigma Q_{i'} + Q_{s'}$$

だから、(2・3)～(2・6)式より、

$$\begin{aligned} & \Sigma C_{xi} (D_i (V_{xi} - V_{com})) + C_{s1} (V_{xs} - V_{com}) \\ &= \Sigma C_{xi} (V_{out} - V_{com}) + C_{s1} (V_{out} - V_{com}) \end{aligned}$$

となり、これを变形して、

$$\begin{aligned} & V_{out} \\ &= (\Sigma C_{xi} (D_i V_{xi} + (1 - D_i) V_{com}) + C_{s1} V_{xs}) / (\Sigma C_{xi} + C_{s1}) \end{aligned} \quad (2 \cdot 7)$$

となる。

なお、 $i=11, 12, 13, 14, 15, 16$ である。また、 D_i は、デジタル信号 $D_{11} \sim D_{16}$ の各信号レベルに対応して「H」レベルのときを「1」とし、「L」レベルのときを「0」としたものである。

こうして得られた電位がアナログ出力として、出力端子 5 1 0 2 a から取り出される。

図29は、上記D/A変換回路5100のD/Aコンバータ特性を示す図である。なお、このD/A変換回路5100では、変換容量 C_{xi} は全て等しく1.0 pFであり、基準容量 C_{s1} は2.0 pFである。変換選択配線5110～5115の電位 V_{x11} , V_{x12} , V_{x13} , V_{x14} , V_{x15} , V_{x16} は、0.5, 1.0, 2.0, 4.0, 8.0, 16.0 Vと、公比2の等比数列をなしている。変換基準配線5118の電位 V_{xs} は、4.0Vである。また、共通電位配線5119の電位 V_{com} は、GND電位となっている。

図29に示すように、6ビットのデジタル入力値とアナログ出力との間には、完全な線形性があることが分かる。その理由は、アナログ出力 V_{out} を導く(2・7)式において、分母の($\sum C_{xi} + C_{s1}$)の値が、デジタル入力値にかかわらず定数となっているからである。そして、デジタル入力値とアナログ出力とは、正比例の関係になるので、D/A変換回路5100は線形特性を有する。なお、図29において、デジタル入力値が0のときでもアナログ出力は、1Vとなっている。これは、デジタル入力値が0でも基準容量 C_{s1} には電荷が蓄積されるからである。

次に、図30は、上記D/A変換回路5100を用いた液晶表示装置の駆動方法を示す図である。言い換えると、図27に示す液晶表示装置用の駆動回路の動作を説明する図である。

図30に示すように、液晶駆動の1水平走査期間 T_h は、走査信号の選択期間 T_s と、選択期間 T_s と次の選択期間 T_s との間のブランキング期間 T_b と、からなる。

選択期間 T_s において、時刻 $t_0 \sim t_1$ の間に、デジタル信号 $D_{11} \sim D_{16}$ が、サンプリングパルス $SP_1 \sim SP_n$ によってラッチ回路 $A_{11} \sim A_{16}$ に取り込まれる。

ブランキング期間 T_b は、次の選択期間 T_s に移る前の期間であって、この期間を利用してD/A変換を含む種々の処理が行われる。

ブランキング期間 T_b において、時刻 t_2 では、結合パルス CP が「L」となってアナログスイッチ $T_{c11} \sim T_{c16}$ がオフになり、変換容量 $C_{x11} \sim C_{x16}$ と基準容量 C_{s1} とが電氣的に切断される。次に、時刻 t_3 では、ラッチパルス LP

によって、ラッチ回路A11～A16に取り込まれた信号がラッチ回路B11～B16に移される。

時刻 t_4 では、ラッチ回路B11～B16の信号と変換パルスXPとによって、アナログスイッチTa11～Ta16、Tb11～Tb16が制御される。そして、変換容量Cx11～Cx16のうち、「H」のデジタル信号に対応するものには電荷が蓄積され、「L」のデジタル信号に対応するものには電荷が蓄積されない。同時に、基準容量Cs1には、電荷が蓄積される。なお、電荷を蓄積するために、変換パルスXPは、他のパルスと比較して長時間「H」状態となっている。

時刻 t_5 では、変換パルスXPが「L」状態となって、上記電荷の蓄積が終わる。

そして、時刻 t_6 で、結合パルスCPによって変換容量Cx11～Cx16と基準容量Cs1とが結合されて、出力端子5102aから所定の出力電圧を取り出すことができる。

次に、図31A及び図31Bは、液晶表示装置の反転駆動の動作を説明する図である。

液晶駆動装置では、液晶の品質劣化を防止する等の理由から、反転駆動が行われる。そこで、上記D/A変換回路5100を含む駆動回路5050（図27及び図28）でも、図31A及び図31Bに示すように反転駆動が行われる。詳しくは、この反転駆動は、1水平走査線ごと、かつ、1画面ごとに行われ、1信号線ごとには反転しないようになっている。

図31Aには、変換選択配線5110～5115の電位Vx11，Vx12，Vx13，Vx14，Vx15，Vx16及び変換基準配線5118の電位Vxsの供給方法が示されている。図31Bには、それぞれの電位の具体的な数値が示されている。

このD/A変換回路5100では、変換容量Cxiは全て等しく1.0 pFであり、基準容量Cs1は2.0 pFである。また、共通電位配線5119の電位Vcomは、GND電位となっている。

そして、図31Aに示すようにして、反転駆動が行われる。なお、動作の詳細は周知であるので説明を省略する。

（第4実施形態の調整方法）

上記D/A変換回路5100は、変換容量Cx11～Cx16を全て同一の容量値とし、それぞれに2進加重された電圧を印加することで、D/A変換を行えるようになっている。ここで、容量の容量値は製造後に変更することが困難である一方、電圧を変更することは容易に行うことができる。そこで、上記変換容量Cx11～Cx16の容量値が、上述した設計値と異なった場合の電圧の調整方法を以下説明する。

まず、図32Aに、変換容量Cx_i'の容量値が設計値Cx_i(1.0pF)と異なるが、容量値の平均が設計値と等しい例を示す。この例において、変換選択配線5110～5115には、設計上の電位V_{xi0}を調整して電位V_{xi}'が供給される。なお、i=11,12,13,14,15,16である。詳しくは、

$$V_{xi}' = (C_{xi} / C_{xi}') \times V_{xi0}$$

となるように調整されている。例えば、最下位ビットでは、Cx11=1.0pF、Cx11'=0.9pF、Vx11=0.5Vであるから、

$$V_{x11}' = (1.0 / 0.9) \times 0.5 = 0.5556 \text{ V}$$

となる。

次に、図32Bに、変換容量Cx_i''の容量値が設計値と異なり、かつ、容量値の平均が設計値と異なる例を示す。この例においては、

$$V_{xi}''$$

$$= (C_{xi0} / C_{xi}'') \times (\sum C_{xi}'' + C_{s1}) / (\sum C_{xi0} + C_{s1}) \times V_{xi}$$

となるように電位V_{xi}''が調整されている。例えば、最下位ビットでは、

Cx_i=1.0pF、Cx_i''=0.9pF、 $\sum C_{xi}'' + C_{s1} = 7.4\text{pF}$ 、 $\sum C_{xi} + C_{s1} = 8.0\text{pF}$ 、Vx11=0.5Vであるから、

$$V_{xi}'' = (1.0 / 0.9) \times (7.4 / 8.0) \times 0.5 = 0.5139 \text{ V}$$

となる。

図32A及び図32Bのいずれの例においても、変換選択配線5110～5115の電位V_{xi}'及びV_{xi}''が完全に調整され、D/Aコンバータ特性は、図29に示すものと全く同じものが得られる。そして、変換容量Cx11～Cx16の容量値が設計通りの値でなくとも、設計値通りのアナログ出力電圧を得ることができる。

したがって、このD/A変換回路5100を用いた液晶表示装置用の駆動回路50によれば、逆転現象による階調反転等の画質問題は、全く発生しない。

なお、本実施形態では、変換容量Cx11～Cx16が設計値と異なる場合を考えたが、基準容量Cs1が設計値と異なる場合も、電位Vx11～Vx16及びVxsを調整することで、所定の液晶印加電圧を得ることができる。また、上記調整方法では、計算によって電位の調整を行ったが、ここで説明した思想にしたがって試行錯誤によって電位を調整しても効果がある。

また、今回の例では、変換容量Cx11～Cx16の実際の値が予め分かっているものとして計算したが、現実には不明である場合が多い。このようなときにも、電位Vx11～Vx16を調整することで、理想的なD/Aコンバータ特性を得ることが可能である。

なお、上記D/A変換回路5100は、パッシブマトリクス型表示装置に適用したり、例えばプリント基板であってガラス基板以外に形成したり、あるいは、アモルファスシリコン、高温ポリシリコン、結晶シリコン、又はガリウム砒素等の如何なる半導体で形成しても効果がある。

また、上記駆動回路5050の反転駆動は、1画面ごと又は複数画面ごと、1水平走査線ごと又は複数水平走査線ごと、あるいは1信号線ごと又は複数信号線ごとに極性反転するか否かに関わらず効果がある。

本実施形態では、変換容量Cx11～Cx16の一方の極板は、共通電位配線5119に接続されているが、他の電位配線に接続されてもよい。また、本実施形態では、デジタル信号D11～D16が「L」（オフ）のときに変換容量Cx11～Cx16の両極板には電位Vcomが印加されるとしたが、これに代わって、他の電位が印加されるようにしてもよい。

これらを考慮した変形例としてのD/A変換回路5200を図33に示す。D/A変換回路5200において、変換容量Cx11～Cx16の一方の極板が、共通電位配線5119の代わりに変換基準配線5118に接続されている。また、変換容量Cx11～Cx16の他方の極板は、アナログスイッチTb11～Tb16を介して変換基準配線5118に接続されている。これ以外は、図26に示すD/A変換回路5100と同様である。

このD/A変換回路5200によれば、デジタル信号D11～D16が「L」（オフ）のときには、変換容量Cx11～Cx16に電位Vxsが供給されるが、これらの両極板間の電位差がないので、電荷が蓄積されない。デジタル信号D11～D16が「H」（オン）のときには、変換容量Cx11～Cx16には、電位Vx11～Vx16と電位Vxsとの電位差によって電荷が蓄積される。その他の動作は、D/A変換回路5100と同様であるので説明を省略する。

（第5実施形態）

次に、図34に、本発明の第5実施形態に係るD/A変換回路5300を示す。このD/A変換回路5300は、図27に示す液晶表示装置用の駆動回路5050において、D/A変換回路5100の代わりに用いられる。そのときの液晶表示装置の駆動方法は、第4実施形態と同様である。また、第4実施形態と同じ構成には、同一の符号を付して説明を省略する。

図26に示すD/A変換回路5100では、公比2の等比数列をなす電位Vx11～Vx16を供給するために変換選択配線5110～5115が設けられていた。これに対して、図34に示すD/A変換回路5300では、高電位配線5310と低電位配線5312との間に、抵抗Rx11～Rx16が直列接続されている。

高電位配線5310には高電位側の電位VxHが、低電位配線5312には低電位側の電位VxLが印加される。抵抗Rx11～Rx16の各々の抵抗値が、公比2の等比数列をなすようにし、第4の実施形態における電位Vx11～Vx16のうちの最高の電位Vx16と、高電位側の電位VxHが等しくなるようにし、第4の実施形態における最低の電位Vx11と、低電位側の電位VxLが等しくなるようにする。これにより、本実施形態でも第4の実施形態と等しい電位Vx11～Vx16を、各抵抗Rx11～Rx16の間から、分割電圧として取り出すことができる。

本実施形態においても、第4の実施形態と同様に、デジタル入力とアナログ出力値の線形性が実現できる。

なお、本実施形態では、1組の高電位配線5310と低電位配線5312が設けられたが、2組以上の高電位配線と低電位配線を設けて、各々に異なる電位を印加し、各々に複数の抵抗を直列接続することにより、第4実施形態と第5実施形態を併用することができる。

(第6実施形態)

次に、図35に、本発明の第6実施形態に係るD/A変換回路5400を示す。このD/A変換回路5400も、図27に示す液晶表示装置用の駆動回路5050において、D/A変換回路5100の代わりに用いられる。そのときの液晶表示装置の駆動方法は、第4実施形態と同様である。また、第4実施形態と同じ構成には、同一の符号を付して説明を省略する。

図26に示すD/A変換回路5100は、複数の電位 $V_{x11} \sim V_{x16}$ を供給するために、1つの変換パルス配線5116と、複数の変換選択配線5110～5115が設けられていた。これに対して、図35に示すD/A変換回路5400では、複数の電位を供給するために、複数の変換パルス配線5410～5415と、1つの変換選択配線5420とを有する。

図35の回路を概説すると、後段のラッチ回路B11～B16の信号は、対応する変換パルス配線5410～5415の変換パルス $XP1 \sim XP6$ と論理積をとってアナログスイッチ $Ta11 \sim Ta16$ に入力される。アナログスイッチ $Ta11 \sim Ta16$ は、変換容量 $Cx11 \sim Cx16$ に対する変換選択配線5420の出力を制御するように接続されている。

同時に、ラッチ回路B11～B16の信号は、否定をとってから対応する変換パルス $XP1 \sim XP6$ と論理積をとってアナログスイッチ $Tb11 \sim Tb16$ に入力される。

図36に、上記D/A変換回路5400を適用した液晶表示装置の駆動方法を示す。デジタル入力 $D11 \sim D16$ およびサンプリングパルス SR は、第4実施形態と同様のものが印加される。電位 V_x は変換選択配線5420に印加され、サンプリング期間において時間的に変化している。変換パルス $XP1 \sim XP6$ は、複数の変換パルス配線5410～5415に印加される。

図35および図36を参照して、本実施形態の液晶表示装置の駆動回路の動作を説明する。これらの図に示すように、電位 V_x の変化に同調して、変換パルス $XP1 \sim XP6$ が入力されているので、所定の電位 $V_{x11} \sim V_{x16}$ が選出される。そして、デジタル入力 $D11 \sim D16$ に応じて、アナログスイッチ $Ta11 \sim Ta16$ が導通すれば、上記選出された電位 $V_{x11} \sim V_{x16}$ が変換容量 $Cx11 \sim Cx16$

6 に供給されて電荷が蓄積される。あるいは、アナログスイッチ Tb11 ~ Tb16 が導通すれば、電位 Vcom が変換容量 Cx11 ~ Cx16 に供給されて、電荷が蓄積されない。こうして、所定のアナログ出力 Vout を取り出すことができる。

本実施形態においても、第 4 の実施形態と同様の効果が、実現できる。

なお、変形例として、複数の変換選択配線のそれぞれに、時間的に変化する変換選択電位を印加してもよい。

(第 7 実施形態)

次に、図 37 に、本発明の第 7 実施形態に係る D/A 変換回路 5500 を示す。この D/A 変換回路 5500 も、図 27 に示す液晶表示装置用の駆動回路 5050 において、D/A 変換回路 5100 の代わりに用いられる。そのときの液晶表示装置の駆動方法は、第 4 実施形態と同様である。また、第 4 実施形態と同じ構成には、同一の符号を付して説明を省略する。

第 7 実施形態は、複数の電位を選択するとともに、変換容量の容量値を異なるようにして、所定のアナログ出力電圧を得るものである。図 37 において、3 つの変換選択配線 5510 ~ 5512 が形成されている。変換容量 Cx51 ~ Cx56 の容量値は、次式を満たす。

$$Cx51 : Cx52 : Cx53 : Cx54 : Cx55 : Cx56 = 1 : 2 : 1 : 2 : 1 : 2$$

図 38 に、第 7 実施形態に係る変換容量 Cx51 ~ Cx56 及び基準容量 Cs1 の容量値と、電位 Vx11 ~ Vx13 及び電位 Vxs の値を示す。変換容量 Cx51 及び Cx52、Cx53 及び Cx54、Cx55 及び Cx56 には、それぞれ、電位 Vx11、電位 Vx12 又は Vx13 から電位が供給される。

本実施形態においても、第 4 の実施形態と同様の効果が実現できる。

(第 8 実施形態)

次に、図 39 に、第 8 実施形態に係る液晶表示装置の駆動方法を示す。本実施形態において、液晶表示装置の駆動回路及び D/A 変換回路は、第 4 の実施形態あるいは第 5 の実施形態と同一である。

図 30 に示す駆動方法においては、選択期間 Ts において、デジタル入力 D11 ~ D16 およびサンプリングパルス SP の入力終了した後、ブランキング期間に入る。そして、ラッチパルス LP がオフ電位からオン電位となって再びオフ電位

になる。次に、変換パルスX Pがオフ電位からオン電位となり、再びオフ電位になる。次に、結合パルスC Pがオフ電位からオン電位となって再びオフ電位になる。

ここでは、次の条件を満たす必要がある。ラッチパルスL Pの入力がデジタル入力D 11～D 16およびサンプリングパルスS Pの入力終了後であること、変換パルスX Pの入力がラッチパルスL Pの入力終了後であること、結合パルスC Pの入力が変換パルスX Pの入力終了後であること、である。

この条件を満たす限り、変換パルスX Pおよび結合パルスC Pのオンオフは、選択期間T sとブランキング期間T bのどちらで行われてもよい。また、ラッチパルスL Pと結合パルスC Pは、入力期間が重複していてもよい。

そこで、変換容量C x11 ～C x16 及び基準容量C s1への充電、および、変換容量C x11 ～C x16 に保持された電荷の基準容量C s1への供給を、全て十分に行うために、変換パルスX Pのオン期間の長さと、結合パルスC Pのオン期間の長さを最適化することが好ましい。

特に、選択期間T s に比べてブランキング期間T b が短い場合に、変換パルスX Pのオン電位終了がブランキング期間T b 中に行うと、変換容量C x11 ～C x16 への充電と、基準容量C s1への充電が不十分となる可能性がある。

そこで、本実施形態では、変換パルスX Pのオン電位終了を選択期間T s 中に行うことで、これらの充電を十分に行うことができる。

本実施形態においても、第4の実施形態と同様の効果が実現できる。

なお、本実施形態は、電位V x11 ～V x16 が、複数の変換選択配線によって、または分割抵抗によって与えられる場合のみならず、1つの変換選択配線に時間変化する電位が印加される場合にも、適用することができる。

(第9実施形態)

次に、図40に、本発明の第9実施形態に係るD/A変換回路5600を示す。このD/A変換回路5600も、図27に示す液晶表示装置用の駆動回路5050において、D/A変換回路5100の代わりに用いられる。そのときの液晶表示装置の駆動方法は、第4実施形態と同様である。また、第4実施形態と同じ構成には、同一の符号を付して説明を省略する。

薄膜トランジスタ、とくに、低温プロセスによるポリシリコン薄膜トランジスタは、オフ時のリーク電流が大きい。そこで、本実施形態では、薄膜トランジスタからなる一対のアナログスイッチ Ta11 ~ Ta16 を直列に接続した。この構成によれば、オフ時のリーク電流を低減でき、また、片方の薄膜トランジスタの突発的なオフ特性の劣化も、他方の薄膜トランジスタにより補償することができる。

本実施形態においても、第4の実施形態と同様の効果が実現できる。

なお、変形例として、アナログスイッチ Tb11 ~ Tb16、Tc11 ~ Tc16 及び Ts、又は図27に示すシフトレジスタ 5020、ラッチ回路 A11~A16及び B11~B16等の全ての素子に対して、2つの薄膜トランジスタを直列に接続する構成が考えられる。また、3つ以上の薄膜トランジスタを直列に接続する構成も考えられる。

(第10実施形態)

次に、図41に、本発明の第10実施形態に係るD/A変換回路 5700を示す。このD/A変換回路 5700も、図27に示す液晶表示装置用の駆動回路 5050において、D/A変換回路 5100の代わりに用いられる。そのときの液晶表示装置の駆動方法は、第4実施形態と同様である。また、第4実施形態と同じ構成には、同一の符号を付して説明を省略する。

薄膜、とくに、低温プロセスによるポリシリコン薄膜によって形成されたMOS形トランジスタは、しきい値電圧が高いことに加えて、オン時の充電電流が小さい。そして、nチャネル形トランジスタは、オン時に、ゲートにプラスの電位が印加されるので、ソース又はドレインの電位が高いと、その電位とゲートの電位との差が小さくなって動作速度が遅くなる。また、pチャネル形トランジスタは、オン時に、ゲートにマイナスの電位が印加されるので、ソース又はドレインの電位が低いと、その電位とゲートの電位との差が小さくなって動作速度が遅くなる。

そこで、第10実施形態では、nチャネルのトランジスタとpチャネルのトランジスタが並列に接続されるCMOS構造のアナログスイッチ Tb71 ~ Tb76 が採用されている。そして、ソース又はドレインの電位に関わらず、良好な充電特性が得られるようになっている。

本実施形態においても、第4の実施形態と同様の効果が実現できる。

なお、CMOS構造は、アナログスイッチ $Ta11 \sim Ta16$ 、 $Tc11 \sim Tc16$ 及び Ts 、又は図27に示すシフトレジスタ5020、ラッチ回路 $A11 \sim A16$ 及び $B11 \sim B16$ 等の全ての素子に対して、適用することができる。

(第11実施形態)

次に、図42A及び図42Bに、第11実施形態に係る液晶表示装置の駆動方法を示す。本実施形態において、液晶表示装置の駆動回路及びD/A変換回路は、第4の実施形態と同一である。

図42Aに、電位 $Vx11 \sim Vx16$ 、 Vxs 、 $Vcom$ の与え方を、図42Bに、これらの電位を示す。なお、変換容量 $Cx11 \sim Cx16$ は全て等しく1.0 pFであり、基準容量 $Cs1$ は2.0 pFである。

本実施形態では、電位 $Vx11 \sim Vx16$ および電位 Vxs が、1画面ごとに、かつ、1水平走査線ごとに極性反転し、1信号線ごとには反転しない駆動を行っている。電位 $Vcom$ も、電位 $Vx11 \sim Vx16$ および Vxs に同調して極性反転している。ただし、逆極性の反転である。

本実施形態の特徴は、電位 $Vcom$ が極性反転していることである。この電位 $Vcom$ は、液晶を挟持する電極の一方に印加される。電極の他方には、出力端子5102a(図26参照)からのアナログ出力 $Vout$ が印加される。電位 $Vcom$ が極性反転することで両電極間の電位差を形成できる。この電位差は、液晶駆動に必要な電圧の一部となる。したがって、バイアス電圧が必要なときに、デジタル入力値が0のときのアナログ出力 $Vout$ が小さくてもよい。つまり、基準容量 $Cs1$ に印加する電圧を小さくすることができる。

本実施形態において、電位 $Vcom$ の片側振幅は1Vであり、電位 Vxs は0Vである。

電位 $Vcom$ の振幅をさらに上げると、同じD/Aコンバータ特性を得るためには、電位 Vxs を反転駆動する必要がある。電位 Vxs の反転は、電位 $Vx11 \sim Vx16$ と逆極性である。また、電位 $Vcom$ 、 Vxs の振幅を調整することで、電源電圧の電圧値の低減や、電圧レベルの削減が可能となる。

本実施形態においても、第4の実施形態と同様の効果が、実現できる。

(第12実施形態)

次に、図43に、第12実施形態に係る液晶表示装置の駆動方法を示す。本実施形態において、液晶表示装置の駆動回路及びD/A変換回路は、第4の実施形態と同様である。

図43Aに、電位 $V_{x11} \sim V_{x16}$ 、 V_{xs} および V_{com} の与え方を、図43Bに、電位 $V_{x11} \sim V_{x16}$ 、 V_{xs} および V_{com} の値を示す。本実施形態では、電位 $V_{x11} \sim V_{x16}$ および V_{xs} が、1画面ごと、かつ、1水平走査線ごとに反転し、1信号線ごとには反転しない駆動を行っている。電位 V_{com} は定電位である。

本実施形態の特徴は、電位 $V_{x11} \sim V_{x16}$ と電位 V_{xs} とが、互いに逆位相で極性反転していることである。したがって、図26に示すD/A変換回路5100において、基準容量 C_{s1} に蓄積される電荷と、変換容量 $C_{x11} \sim C_{x16}$ に蓄積される電荷とは、極性が逆になる。そして、基準容量 C_{s1} の電荷と変換容量 $C_{x11} \sim C_{x16}$ の電荷とが合成されると、総電荷が減少し、これまでの加算型とは異なる、いわゆる減算型のD/A変換を行うことができる。

図44に、この実施形態に係るD/Aコンバータ特性を示す。減算型であるために、図29に示す特性とは傾きが逆であるが、全てのデジタル入力値(0~63)にわたって、アナログ出力は1V~5Vで完全な線形性が実現されていることがわかる。

本実施形態においても、第4の実施形態と同様の効果が実現できる。

なお、上記実施形態において、電位 V_{com} 及び V_{xs} の振幅を調整して、電源電圧の電圧値の低減や、電圧レベル数の削減が可能となる。その例を、図45A及び図45Bを参照して説明する。

図45Aに、第12実施形態の変形例において、電位 $V_{x11} \sim V_{x16}$ 、 V_{xs} および V_{com} の与え方を示し、図45Bに、電位 $V_{x11} \sim V_{x16}$ 、 V_{xs} および V_{com} の値を示す。これらの図に示すように、電位 V_{com} も、電位 $V_{x11} \sim V_{x16}$ および変換基準電位 V_{xs} に同調して極性反転している。また、電位 V_{com} の極性反転は、電位 V_{xs} の極性反転と逆位相である。

第11実施形態に関して上述したように、液晶を挟持する電極の一方に、電位 V_{com} が印加され、駆動に必要な電圧の一部を負担する。したがって、この変形

例においても、極性反転する電位 V_{com} が一方の電極に印加されるため、他方の電極に印加される電位 V_{xs} は小さくてよい。具体的には、電位 V_{com} の振幅が 3 V で、電位 V_{xs} の振幅は逆極性で 8 V である。この値は、図 4 3 に示す値と比べて、極めて小さな値であり、消費電力低減に効果的である。

なお、本発明に係る液晶表示装置は、直視型のみならず投写型のものも含む。

また、本発明に係る D/A 変換回路は、光シャッタのような周知の液晶光学装置に適用することもできる。

(第 1 2 の実施の形態)

本発明の信号線プリチャージ方法の第 1 2 の実施の形態の特徴が図 4 6 A ~ 図 4 6 C に示される。

図 4 6 A において、参照番号 6 0 1 0 は、信号線 (S) と走査線 (H) とに接続された T F T (スイッチング素子) であり、参照番号 6 0 2 0 は液晶である。画像信号は信号線 (S) を介して液晶 6 0 2 0 に伝達され、その画像信号に従った表示がなされる。液晶の劣化を防止するために、あるいは表示特性を向上させるために、画像信号の極性は周期的に反転される。

「画像信号の極性」とは、アクティブマトリクス型の液晶パネルの場合、画像信号の振幅の中心に対する極性を意味する。以下、単に「画像信号の極性」と記載する。

なお、画像信号の極性反転の方式としては、図 4 7 A, 図 4 7 B に示すようなものがある。図 4 7 A, 図 4 7 B は、信号線 ($S_1 \sim S_3$) と走査線 ($H_1 \sim H_3$) とで特定される 9 個の液晶セルについて駆動の極性を示すもので、「+」は正極性、「-」は負極性を示している。図 4 7 A は走査線毎に反転駆動するもので、本明細書では「走査線反転駆動」という。また、図 4 7 B は、走査線反転に信号線毎の反転駆動も行っている。本明細書では、信号線毎の反転駆動を「信号線反転駆動」という。

信号線プリチャージは、画像信号の供給の直前に行われ、そのプリチャージ電圧の極性は、図 4 7 A, 図 4 7 B のような液晶の反転駆動の極性に対応して周期的に変化しなければならない。

本実施の形態では、第 1 2 のプリチャージ電位 (高レベル電位) V_{pca} と第

2のプリチャージ電位（低レベル電位） V_{pcb} とを用意しておき、スイッチ（SW）を適宜に切り換えることにより、画像信号の極性に合致するように極性反転を行いながら信号線（S）をプリチャージする。つまり、信号線（S）の電位変化は、例えば、図46Bに示すように周期的に変化する（周期 T_1 ）。

また、プリチャージ線L1，L2の寄生容量（等価容量）C22，C23の容量値は、信号線（S）の寄生容量（等価容量）C21よりも十分に大きくするのがよく、望ましくは、C21を無視できるほどC22，C23の容量値を大きくする。

このような本実施の形態のプリチャージ方法の効果は、図48に示す対比例の構造と比較することによって明らかとなる。

図48の対比例としての液晶表示装置は、例えば、特開平7-295521号公報に記載されているもので、図示されるように、プリチャージ信号（周期的に変化するパルス信号）6704を端子6702から入力し、配線L6ならびにスイッチ（SW100～SW104）を介して信号線S1～S4に供給してプリチャージを行うものである。なお、参照番号6700はスイッチ制御回路である。

この図48の対比例では、以下の不都合がある。

①プリチャージ信号6704を伝達するための配線L6を充放電しなければならないために、プリチャージを高速化した場合に消費電力が増大する。

②液晶パネルの大型化に伴い、配線L6の長さが長くなり、寄生容量C24が増大するため、その配線の時定数が大きくなってプリチャージ用のパルスが鈍り、プリチャージの正確性（精度）が低下する（輝度傾斜の発生）。また、表示画像の高精細化に伴って、配線L6の駆動周波数も高くしなければならず、駆動回路の負担も増大する。

③配線L6が一本しかないため、線順次駆動で、かつ信号線毎に極性を反転させる駆動（信号線反転駆動）方式を採用する場合、プリチャージができない。

これに対し、本実施の形態のプリチャージ方法では、あらかじめ異なる直流電位を用意しておき、スイッチを適宜に切り換え、液晶の反転駆動の極性に対応させて所望の直流電位と信号線とを接続する新規な方式を採用している。

この方式によると、以下の効果がある。

①プリチャージに伴う充放電は信号線（図46Aの容量C21）のみでよく、高

速化しても消費電力の増大を抑制できる。

②対比例にみられたような、プリチャージ信号を信号線まで伝達するための配線の容量によるプリチャージ信号の鈍りが生じないため、信号線に正確な電圧を印加でき、よって、プリチャージの精度（安定性）が向上する。プリチャージ線 L 1, L 2 の寄生容量（等価容量）C 22, C 23 の容量値を、信号線（S）の寄生容量（等価容量）C 21 よりも十分に大きくすると、プリチャージの精度はさらに向上する。また、配線の容量によるプリチャージ信号の鈍りが生じないことは、プリチャージの高速化につながる。

③スイッチの操作を適宜に制御すれば、種々の反転駆動方式に自在に対応できる。

本実施の形態の上記②の効果に関し、図 4 6 C を用いて、より具体記に説明する。本実施の形態の信号線のプリチャージの様子は、信号線（S）の寄生容量 C 21 とプリチャージ線 L 1 または L 2 の寄生容量（C 22 または C 23）との間の電荷の移動で説明できる。

いま、図 4 6 C のように、容量 C 21 は電圧 V 1 で充電され、容量 C 22 は電圧 V 2 で充電されているとする。この場合、容量 C 21 の蓄積電荷 Q A は、 $Q A = C 21 \cdot V 1$ であり、容量 C 22 の蓄積電荷 Q B は、 $Q B = C 22 \cdot V 2$ である。なお、容量 C 21, C 22 の容量値を「C 21」, 「C 22」とし、また、容量 C 21 のスイッチ側の端子の電位を V X とし、容量 C 22 のスイッチ S W 側の端子の電位を V C（プリチャージ電位に相当）とする。

この状態でスイッチ S W を閉じると、電荷の移動が生じて容量 C 21 のスイッチ S W 側の端子の電位 V（信号線の電位に相当する）が変化する。これに伴い、容量 C 21 の蓄積電荷は Q A' に変換し、容量 C 22 の蓄積電荷は Q B' に変化したとする。

このとき、スイッチの総電荷量は変化しないため、 $Q A + Q B = Q A' + Q B'$ が成立する。この関係より、容量 C 21 のスイッチ S W 側の端子の電位 V を求めると、以下のようなになる。

$$V = (C 21 V X + C 22 V C) / (C 21 + C 22) \quad \dots (1)$$

ここで、容量 C 22 の容量値「C 22」が、容量 C 21 の容量値「C 21」よりも十分

に大きく、容量 C_{21} を無視できるとする。すると、(1) 式は、 $V = V_C$ と近似できる。つまり、信号線の電位 (V) は、プリチャージ電位 $V_C (=V_{pca}, V_{pcb})$ にほぼ一致する。

以上の説明から明らかなように、本実施の形態のプリチャージ方法によれば、信号線のプリチャージ精度が向上する。一般的にプリチャージ線の容量は大きい、さらにその容量を大きくする方法としては、例えば、TFT10のゲート酸化膜を利用して構成された容量を、プリチャージ線 L_1 , L_2 に並列に付加するという手法が考えられる。

(第13の実施の形態)

本発明の信号線プリチャージ方法の第13の実施の形態が図49Bおよび図50に示される。

本実施の形態の基本的動作は、図46A～図46Cに示したものと同一である。但し、本実施の形態では、あらかじめ用意するプリチャージ用電位 V_A , V_B の値を、信号線の実際のプリチャージ電位 PV_1 , PV_2 より高く設定しておき、信号線とプリチャージ線との接続時間を制御することにより電荷の移動量 (電荷の積分値 = 電流量) を制御して信号線を所望の電圧にプリチャージするものである。

本実施の形態では、図50に示すように、スイッチ SW の信号線 (S) との接続時間を、PWM回路6060から出力されるパルスのパルス幅により制御する。PWM回路6060には、タイミング制御回路6070からのタイミング信号と、パルス幅制御信号 PCS が入力されるようになっている。

図49A、図49Bを用いて、本実施の形態のプリチャージ動作を説明する。図49Aに示すように、走査線反転駆動により、画素6022, 6024, 6026を順次に「黒」表示する場合を考える。

図49Bのように、正極性の黒レベルを「 B_1 」、負極性の黒レベルを「 B_2 」とした場合、正極性のプリチャージ用電位 V_A , 負極性のプリチャージ用電位 V_B の絶対値はそれぞれ、各黒レベル B_1 , B_2 の絶対値よりも大きく設定されている。

つまり、信号線とプリチャージ用電位との差電圧を大きくしておき、信号線の充放電を高速化するものである。黒レベル B_1 , B_2 に達した時点で図50のス

イッチSWをオフすれば、図49Bの下側に示すように、プリチャージに要する期間は「T2」, 「T3」となり、図46の場合よりも短縮される。

なお、「プリチャージ用電位」という用語は、プリチャージのために用意される電位のことであり、信号線が実際にプリチャージされたときの電位とは区別されるものである。

(第14の実施の形態)

(液晶表示装置の回路構成)

上述の第12の実施の形態で説明したプリチャージ方法(図46)を採用した、アクティブマトリクス型の液晶表示装置の一例が図51に示される。

図51の液晶表示装置は信号線(液晶)の駆動方式として、図52に示されるように、「線順次駆動かつ走査線反転駆動方式」を採用し、また、信号線のプリチャージは、図53に示されるように、直前のブランキング期間に一括して行う方式を採用している。

なお、図52において、上側に記載される「+」、下側に記載される「+」は駆動およびプリチャージの極性を示し、また、それらの「+」が点線で囲まれているのは、点順次ではなく線順次で一括して電圧を供給することを意味する。なお、その他の図面でも同様の記載をしてある。

信号線駆動回路6100は、シフトレジスタ6110と、画像信号(Vsig)をサンプリングするためのサンプリングスイッチ6120と、第12および第2のラッチ6130, 6140と、D/A変換器6150とを有する。D/A変換器6150の各出力により、信号線S1~S2nが駆動される。

走査線H1, H2...は、走査線駆動回路6200により駆動される。走査線が「H」レベルとなるとTF T12がオンし、信号線S1~S2nのいずれかを介して液晶6022に画像信号が供給される。

信号線プリチャージ回路6300は、各信号線毎に2個ずつ設けられているスイッチSW1a, SW1b, SW2a, SW2b...SW2na, SW2nbの開閉を制御するための制御信号PC1a, PC1b, PC2a, PC2b...PC2na, PC2nbを出力するスイッチ制御回路6320と、プリチャージ用電位Vpca, Vpcbがそれぞれ印加されているプリチャージ線L1, L

2 (図46と同様)とを具備する。

本実施の形態におけるプリチャージ回路の構成で注目すべき点は、図46AのスイッチSWを2個のスイッチ(例えば、信号線S1に関してスイッチSW1a, SW1b)で構成し、添字として「a」がつくスイッチを高レベルのプリチャージ用電位Vpcaに接続し、添字として「b」がつくスイッチを低レベルのプリチャージ用電位Vpcbに接続し、スイッチ制御回路6320から出力される制御信号PC1a~PC2nbにより、各スイッチを相補的にオン/オフさせるようにしたことである。

(駆動およびプリチャージのタイミング)

上述のとおり、図51の液晶表示装置では、図52に示されるような駆動、プリチャージを行うものであり、そのタイミングチャートが図53に示される。

図53において、「BL1st」は1番目の水平ブランキング期間を示し、「BL2nd」は2番目の水平ブランキング期間を示し、「H1st」は1番目の水平選択期間を示し、「H2nd」は2番目の水平選択期間を示す。

信号線S1~S2nは水平選択期間にアクティブ状態となり(図53中、この状態を「Hレベル」で示す)、この期間に画像信号が供給される。

信号線のプリチャージは、水平選択期間の直前の水平ブランキング期間において行われる。

つまり、1番目の水平ブランキング期間(BL1st)では、スイッチ制御回路6320から出力されるスイッチ制御信号PC1a, PC1b...PC2na, PC2nbのうち、添字として「a」がつく制御信号が時刻t1に同時に「H」レベルとなり、これに応じて、スイッチSW1a, SW2a...SW2naがオンして、各信号線S1~S2nは、高レベルのプリチャージ用電位Vpcaと同じ電位にプリチャージされる。

2番目の水平ブランキング期間(BL2nd)では、走査線反転駆動に対応するべく、スイッチ制御回路6320から出力されるスイッチ制御信号PC1a, PC1b...PC2na, PC2nbのうち、添字として「b」がつく制御信号が時刻t2に同時に「H」レベルとなる。これに応じて、スイッチSW1b, SW2b...SW2nbがオンして、各信号線S1~S2nは、低レベルのプリチャ

ージ用電位 V_{pcb} と同じ電位にプリチャージされる。

このように、高速かつ高精度な信号線プリチャージが行われ、液晶表示装置の表示品質が向上する。

(プリチャージ回路の具体的構成)

図53のようにH/Lが切り替わるスイッチ制御信号 $PC1a$, $PC1b$. . . $PC2na$, $PC2nb$ は、例えば、図54のような構成を用いれば容易に生成できる。図54では、スイッチ制御回路6320内に例えば、プログラマブルロジックデバイス等を設け、結線によるプログラムにより、生成するパルス信号の極性を制御する。

つまり、ゲートG1の出力端にはスイッチ制御信号 $PC1a$, $PC2a$, $PC3a$, $PC4a$. . . を出力するための端子が接続される。ゲートG2の出力端にはスイッチ制御信号 $PC1b$, $PC2b$, $PC3b$, $PC4b$. . . を出力するための端子が接続される。

各ゲートG1, G2はイネーブル信号ENがアクティブとなるとパルス生成が可能となり、1番目の水平ブランキング期間 (BL1st) では、ゲートG1の入力端子6420には所定の幅の正極性のパルスが入力され、ゲートG2の入力端子6430はローレベルに維持される。2番目の水平ブランキング期間 (BL2nd) では、ゲートG1の入力端子6420はローレベルに維持され、ゲートG2の入力端子6430には所定の幅の正極性のパルスが入力される。このような動作を繰り返すことにより、図53のようなスイッチ制御信号 $PC1a$, $PC1b$. . . $PC2na$, $PC2nb$ を生成できる。

なお、図54の上側に、図51におけるスイッチSW1a, SW1b, SW2a, SW2b等の具体的構成例が示されている。各スイッチは、NMOSトランジスタ (TFT) 6400と、PMOSトランジスタ (TFT) 6402と、インバータ6404とで構成される。スイッチを構成するTFT6400, 6402は、液晶マトリクスにおけるスイッチング素子 (図51の参照番号12) と共通の製造プロセスにより、同一基板上に生成するのが望ましい。なお、液晶パネル用基板の具体的構成については後述する。

なお、図51では、液晶パネルの駆動回路としてデジタルドライバを用いたが、

これに限定されるものではなく、アナログドライバも同様に使用できる。

(第15の実施の形態)

本実施の形態では、図51の液晶表示装置において、図55に示されるような駆動およびプリチャージを行わせる。つまり、本実施の形態では、「線順次駆動かつ走査線反転駆動」に加えてさらに「信号線反転駆動」を行う方式を採用し、かつ信号線のプリチャージを、直前のブランキング期間に一括して行う方式を採用する。

図55は本実施の形態におけるプリチャージ動作を示すタイミングチャートである。

信号線反転駆動の極性に対応させてプリチャージを行うべく、各走査線毎にプリチャージ用電位の極性が反転するように、図51のスイッチSW1a, SW1b, SW2a, SW2b等が交互に操作される。信号線のプリチャージは、水平選択期間の直前の水平ブランキング期間において行われる。

1番目の水平ブランキング期間(BL1st)では、奇数番目の走査線に関しては、図51のスイッチ制御回路6320から出力されるスイッチ制御信号PC1a, PC1b...PC2na, PC2nbのうちの添字として「a」がつく制御信号が図55に示されるとおり、時刻t3に同時に「H」レベルとなる。これに応じて、スイッチSW1a, SW3a...がオンして、奇数番目の信号線S1, S3, S5...S2n-1は、高レベルのプリチャージ用電位Vpcaと同じ電位にプリチャージされる。

一方、偶数番目の走査線に関しては、スイッチ制御信号PC1a, PC1b...PC2na, PC2nbのうちの添字として「b」がつく制御信号が、同じく時刻t3に同時に「H」レベルとなる。これに応じて、偶数番目のスイッチSW2b, SW4b...がオンして、偶数番目の信号線S2, S4...S2nは低レベルのプリチャージ用電位Vpcbと同じ電位にプリチャージされる。

2番目の水平ブランキング期間(BL2nd)では、走査線反転駆動に対応するべく、上述の偶数番目の走査線についてのスイッチ操作と奇数番目の走査線についてのスイッチ操作とを逆にして実行する。

走査線毎にH/Lが切り替わるスイッチ制御信号PC1a, PC1b...P

C2na, PC2nbは、例えば、図56のような構成を用いれば容易に生成できる。図56では、スイッチ制御回路6320内に例えば、プログラマブルロジックデバイス等を設け、結線によるプログラムにより、生成するパルス信号の極性を制御する。

つまり、ゲートG1の出力端にはスイッチ制御信号PC1a, PC2b, PC3a, PC4b...を出力するための端子が接続される。ゲートG2の出力端にはスイッチ制御信号PC1b, PC2a, PC3b, PC4a...を出力するための端子が接続される。

各ゲートG1, G2はイネーブル信号ENがアクティブとなるとパルス生成が可能となり、1番目の水平ブランキング期間(BL1st)では、ゲートG1の入力端子6420には所定の幅の正極性のパルスが入力され、ゲートG2の入力端子6430はローレベルに維持される。2番目の水平ブランキング期間(BL2nd)では、ゲートG1の入力端子6420はローレベルに維持され、ゲートG2の入力端子6430には所定の幅の正極性のパルスが入力される。このような動作を繰り返すことにより、図57のようなスイッチ制御信号PC1a, PC1b...・PC2na, PC2nbを生成できる。

本実施の形態によれば、前掲の実施の形態と同様に、高速かつ高精度な信号線プリチャージが行われ、液晶表示装置の表示品質が向上する。また、信号線反転駆動を行うため、液晶表示における横クロストークも減少する。

なお、図54と図56では、スイッチ制御信号PC1a, PC1b...・PC2na, PC2nbを生成するための、配線の結線状態が異なっている。このような結線状態の変更は、例えば、図58に示すような回路を用いれば、電氣的に容易に行える。

つまり、図58の構成は、図54や図56に示される構成を発展させたもので、ゲートG1~G4と、スイッチSW2000, 2100, SW2200, SW2300と、セレクト信号入力端子6435等を具備している。

そして、セレクト信号入力端子6435に「H」レベルのセレクト信号を入力すると、図53に示すような、信号線反転しない場合のスイッチ制御信号PC1a, PC1b...・PC2na, PC2nbを生成することができる。

一方、セレクト信号入力端子6435に「L」レベルのセレクト信号を入力すると、図55に示すような、信号線反転をする場合のスイッチ制御信号PC1a, PC1b・・・PC2na, PC2nbを生成することができる。

(第16の実施の形態)

図59～図61を用いて第16の実施の形態を説明する。

(液晶表示装置の構成)

本実施の形態の液晶表示装置の構成の概要が図59に示される。この液晶表示装置は点順次駆動方式を採用しており、各信号線の駆動のために、シフトレジスタ6500とスイッチKW1～KW(2n)が設けられている。スイッチKW1～KW(2n)の開閉は、シフトレジスタ500から順次に出力される制御信号SR1～SR2nにより制御される。画像信号Vsigは端子6002より供給される。なお、信号線プリチャージ回路の構成は、図51と同じである。

(駆動およびプリチャージの方式)

図60に示すように、本実施の形態では、「点順次の信号線反転駆動」と「走査線反転駆動」を行う方式を採用し、かつ信号線のプリチャージを、直前のブランキング期間に一括して行う方式を採用する。

なお、図60の上側において、「+」、「-」が傾斜して描かれているが、これは、点順次駆動であることを示している。この表現は、他の図でも同様である。

(駆動およびプリチャージのタイミング)

図61に示すように、プリチャージは、1番目の水平ブランキング期間(BL1st)においては、時刻t5に一括して行われる。2番目の水平ブランキング期間(BL2nd)においては、時刻t6に一括して行われる。プリチャージ後の水平選択期間において、シフトレジスタ6500から制御信号SR1～SR2nが順次に出力され、スイッチKW1～KW(2n)が順次にオンして信号線の駆動が行われる。

(第17の実施の形態)

図62～図64を用いて本発明の第17の実施の形態を説明する。

(駆動およびプリチャージの方式)

図63に示すように、本実施の形態では、「点順次の信号線反転駆動」と「走

査線反転駆動」を行う方式を採用し、かつ信号線のプリチャージもこれに対応させて、点順次形式で行う方式を採用する。信号線プリチャージが各走査線の駆動の直前に行われるため、プリチャージから信号線の駆動までの時間がすべての各信号線で同じとなり、よって、より高精度のプリチャージを行える。

(液晶表示装置の構成)

本実施の形態の液晶表示装置の構成の概要が図62に示される。この液晶表示装置は図59の場合と同様に点順次駆動方式を採用しており、信号線駆動回路の構成は図59と同じである。

但し、本実施の形態では、プリチャージも点順次形式で行うべく、信号線プリチャージ回路6300内にもシフトレジスタ6324が設けられている。このシフトレジスタ6324は、信号線駆動回路におけるシフトレジスタ6500に対応している。そして、各シフトレジスタの動作開始を指示する信号(スタート信号)STは、シフトレジスタ324に直接に入力され、一方、シフトレジスタ6500へは、遅延回路6504を介して少し遅延して入力される。

信号線プリチャージ回路6300内に設けられたスイッチ制御回路6320は、シフトレジスタ6324から順次に出されるパルスに基づいてスイッチ制御信号PC1a~PC2nbを生成して出力し、これにより信号線プリチャージが行われる。

スイッチ制御回路6320は、例えば、図64に示すように、内部に切換スイッチSW1000, SW1100, SW1200, SW1300, SW1400・・・を有し、そのスイッチを適宜に切り換えることにより、シフトレジスタ6324から出力されるパルスをハイレベルのスイッチ制御信号として出力させる。

(駆動およびプリチャージのタイミング)

図65に示すように、プリチャージは、信号線を駆動するためのスイッチKW1~KW(2n)の開閉を制御する制御信号SR1~SR2nがアクティブ(H)となる前に、各信号線毎に順次に行われる。

例えば、1番目の水平ブランキング期間(BL1st)においては、信号線S1に関し、「SR1」が「H」となる時刻t9に先立って、信号線プリチャージ回路におけるスイッチ制御信号PC1aが時刻t6に「H」となり、プリチャージを

実行する。同様に、信号線 S 2 に関しては、時刻 t 7 にプリチャージが行われ、信号線 S 3 に関しては、時刻 t 8 にプリチャージが行われる。2 番目の水平ブランキング期間 (B L 2nd) においては、同様に、時刻 t 1 2, t 1 3, t 1 4 に順次にプリチャージが行われる。つまり、水平ブランキング期間および水平選択期間において、点順次形式でプリチャージが行われる。

(第 18 の実施の形態)

図 6 6、図 6 7 を用いて、本実施の形態の液晶表示装置について説明する。

本実施の形態の特徴は、プリチャージ用電位 V_{pca} , V_{pcb} のレベルを 1 水平選択期間毎に反転させるようにしたことである。これにより、信号線プリチャージ回路 3 2 0 内のスイッチを SW 1 a, SW 2 b, SW 3 a, SW 4 b . . . SW 2 n b とし、スイッチ数を、前掲の実施の形態の半分としたものである。これにより、スイッチの構成が簡素化され、信号線プリチャージ回路 6 3 0 0 の小型化を図れる。

図 6 7 に明示されるように、プリチャージ用電位 V_{pca} , V_{pcb} のレベルは周期的に反転するが、1 水平選択期間 (および直前の 1 ブランキング期間) 内では、プリチャージ用電位 V_{pca} , V_{pcb} のレベルは一定であり、この点で、前掲の実施の形態と同じである。つまり、本発明では、少なくとも、「1 水平選択期間 (および直前の 1 ブランキング期間)」において、プリチャージ用電位 V_{pca} , V_{pcb} のレベルは一定 (つまり直流) である。

(第 19 の実施の形態)

図 6 8 に本発明の第 19 の実施の形態の液晶表示装置を示す。

本実施の形態の特徴は、図 6 2 の装置における、信号線プリチャージ回路 6 3 0 0 内のシフトレジスタ 6 3 2 4 と、信号線を駆動するために用いられるシフトレジスタ 6 5 0 0 とを共通化したことである。

これによって、プリチャージ回路の構成が簡素化される。

図 6 8 において、参照番号 6 6 0 0 が信号線駆動回路兼プリチャージ回路である。スイッチ制御回路 6 6 1 4 はシフトレジスタ 6 6 2 0 の動作に同期して適宜にスイッチ 6 0 4 0 を切り換える。画像信号 V_{sig} は、端子 6 0 0 8 に入力される。

シフトレジスタ 6 6 2 0 の出力「D 2 1」は、S W 5 0 をオンさせて信号線 S 1 のプリチャージを行う。

次に、シフトレジスタ 6 6 2 0 の出力「D 2 2」がスイッチ「S W 5 1」をオンさせて画像信号 V s i g を「信号線 S 1」に供給する。また、シフトレジスタ 6 6 2 0 の出力「D 2 2」は、同時にスイッチ S W 5 2 をオンさせて「信号線 S 2」のプリチャージを行う。以下、同様に、信号線への画像信号 V s i g の供給と、次の信号線のプリチャージとが同時に行われる。

なお、本実施の形態では、プリチャージと画像信号の供給は 1 ラインずれているだけであるが、これに限定されるものではなく、さらにずれていてもよい。

(第 2 0 の実施の形態)

図 7 0 ～図 6 9 に、液晶表示装置（液晶パネル用基板）の全体構成の概要が示される。

液晶表示装置は、図 6 9 に示すように、バックライト 7 0 0 0、偏光板 7 2 0 0、T F T 基板 7 3 0 0 と、液晶 7 4 0 0 と、対向基板（カラーフィルタ基板）7 5 0 0 と、偏光板 7 6 0 0 とからなる。

本実施の形態では、図 7 0 に示すように、T F T 基板 7 3 0 0 上に駆動回路 7 3 1 0 を形成している。駆動回路 7 3 1 0 は、信号線駆動回路 7 3 0 5 と、走査線駆動回路 7 3 2 0 と、信号線プリチャージ回路 7 3 3 0 とを含む。また、T F T 基板 7 3 0 0 上には、走査線 W 1 ～W n と、信号線 D 2 1 ～D n と、画素部の T F T とが形成されている。これらの回路は、共通の製造プロセス（例えば、低温ポリシリコンプロセス）を用いて形成するのが望ましい。

そして、図 7 1 に示すように、液晶 7 4 0 0 は、T F T 基板 7 3 0 0 と対向基板 7 5 0 0 との間に封入されている。なお、参照番号 7 5 2 0、7 5 2 2 は配向膜である。

以上、本発明の実施の形態について説明したが、本発明は上述の実施の形態に限定されるものではなく、種々に変形、応用が可能である。例えば、本発明は、図 7 2、図 7 3 に示されるような、複数の信号線を同時に駆動する駆動方式を用いた場合にも適用可能である。

図 7 2 において、7 本の信号線 6 1 1 2 a ～6 1 1 2 g は一つの系列に属する

信号線であり、これらの信号線は同時に駆動される。つまり、信号線駆動回路 6100 からのタイミング信号によりサンプリング手段 6106a~6106g が同時にオンし、並列化された画像信号 VD1~VD6 を同時に取り込むようになっている。なお、図 72 において、タイミング回路ブロック 6025 は、各回路の動作タイミングを決定するタイミング信号を生成して出力する。また、相展開回路 6032 は、アナログ画像信号 VIDEO を基準クロックに基づいてサンプルホールドし、一定の画素毎の情報を基準クロックの整数倍のデータ長を有する画素データに展開した複数の相展開信号を、並列に出力する。また、増幅反転回路 34 は、画像信号を、周期的に反転しながら増幅するものである。

図 73 に、サンプリング手段 6106a~6106g および信号線駆動回路 6100 の具体的構成例が示される。信号線駆動回路 6100 は 3 つの CMOS インバータを基本に構成されるクロックドインバータを単位として構成されており、各サンプリング手段 6106a~6106g は NMOS トランジスタからなる。

本発明は、図 46A に示すようにスイッチを切り換えてプリチャージ用電位との接続／非接続を制御するというシンプルな方式であり、ゆえに、図 72、図 73 のような駆動方式を採用する場合にも、柔軟に対応可能である。つまり、種々の駆動方式に対応して、正確かつ高速な信号線プリチャージが可能である。

また、本発明は、TFT を用いたアクティブマトリクス型液晶表示装置のみならず、スイッチング素子として MIM 素子を用いたものや、STN 液晶を用いたパッシブ型液晶などにも適用可能である。

請求の範囲

1. 入力ビットに応じて重みづけされた容量値をもち、かつ一端が所定電位となっている複数の変換容量と、

一端が所定電位となっている結合容量と、

前記変換容量のそれぞれの他端と前記結合容量の他端との間に設けられ、前記入力ビットに応じて開閉が制御されるスイッチと、を具備し、前記結合容量の他端と前記スイッチの共通接続点から、デジタル入力値に対応したアナログ電圧を得るD/A変換器であって、

前記複数の変換容量の設計値が、下記第(1)式に示す関係を満たしていることを特徴とするD/A変換器。

第(1)式

$$C_{oj} - dC_j > \sum_{(i < j)} (C_{oi} + dC_i) \quad (\text{for all } j)$$

但し、上式における記号等の意味は以下のとおりである。

C_i : i 番目の変換容量

C_{oi} : i 番目の変換容量の設計値

dC_i : i 番目の変換容量のばらつき

C_j : j 番目の変換容量

C_{oj} : j 番目の変換容量の設計値

dC_j : j 番目の変換容量のばらつき

$\sum_{(i < j)}$: j より小さいすべての i についての総和

for all j : すべての j について成立する

2. 請求の範囲第1項において、

前記変換容量は、アモルファス薄膜またはポリシリコン薄膜のいずれかで絶縁膜を挟むことにより構成されていることを特徴とするD/A変換器。

3. 請求の範囲第1項において、

前記スイッチは、薄膜トランジスタ (TFT; Thin Film Transistor) を用いて構成されたアナログスイッチであり、

また、前記変換容量は、アモルファス薄膜またはポリシリコン薄膜のいずれか

で絶縁膜を挟むことにより構成されており、

前記アナログスイッチを構成する薄膜トランジスタ (TFT) と、前記変換容量とは、共通の基板上に形成されていることを特徴とする D/A 変換器。

4. 請求の範囲第 1 項に記載の D/A 変換器を、下記の各ステップにより形成することを特徴とする D/A 変換器の設計方法。

(ステップ 1)

C_{oi}, dC_i (for all i) を設定する。

(ステップ 2)

$j = 2$ とする。

(ステップ 3)

請求の範囲第 1 項における第 (1) 式が成立するかを判定し、成立しなかった場合には C_{oj} を変更する。

(ステップ 4)

j をインクリメントする。

(ステップ 5)

すべての j についてステップ 3 およびステップ 4 を繰り返す。

5. 請求の範囲第 4 項において、

C_{oi} の初期設定値が、2 進荷重値であることを特徴とする D/A 変換器の設計方法。

6. 入力ビットに応じて重みづけされた容量値をもち、かつ一端が所定電位となっている複数の変換容量と、

一端が所定電位となっている結合容量と、

前記変換容量のそれぞれ他端と前記結合容量他端との間に設けられ、前記入力ビットに応じて開閉が制御されるスイッチと、を具備し、前記結合容量他端と前記スイッチの共通接続点から、デジタル入力値に対応したアナログ電圧を得る D/A 変換器であって、

前記複数の変換容量の各々の比の値が、下記第 (2) 式に示す関係を満たしていることを特徴とする D/A 変換器。

第(2)式

$$\frac{\{V_c \cdot C_s + V_o (C_{oj} - d_{cj})\}}{\{C_s + (C_{oj} - d_{cj})\}} - \frac{\{V_c \cdot C_s + V_o (\sum_{(i < j)} (C_{oi} + d_{ci}))\}}{\{C_s + \sum_{(i < j)} (C_{oi} + d_{ci})\}} > -V_{th} \quad (\text{for all } j)$$

但し、上式における記号等の意味は以下のとおりである。

C_s : 結合容量の容量値

V_c : スイッチが閉じられる前の結合容量の他端の電位

V_o : スイッチが閉じられる前の各変換容量の他端の電位

C_{oi} : i 番目の変換容量の設計値

d_{ci} : i 番目の変換容量のばらつき

C_{oj} : j 番目の変換容量の設計値

d_{cj} : j 番目の変換容量のばらつき

V_{th} : D/A変換器の出力を輝度情報として用いて画像を表示した場合において、人が視覚により認識できない電圧差異の最大値（視認しきい値）

$\sum_{(i < j)}$: j より小さいすべての i についての総和

for all j : すべての j について成立する

7. 請求の範囲第6項記載のD/A変換器を、下記の各ステップにより形成することを特徴とするD/A変換器の設計方法。

(ステップ1)

C_{oi} , d_{ci} (for all i) を設定する。

(ステップ2)

$j = 2$ とする。

(ステップ3)

請求の範囲第6項における第(2)式が成立するかを判定し、成立しなかった場合には C_{oj} を変更する。

(ステップ4)

j をインクリメントする。

(ステップ5)

すべての j についてステップ 3 およびステップ 4 を繰り返す。

8. 複数の走査線と、複数の信号線と、各走査線と各信号線との交点に設けられた、液晶と信号線との間の電氣的接続を制御する薄膜素子と、前記複数の信号線を駆動するための駆動回路とを具備する液晶パネル用基板であって、

前記複数の信号線の駆動回路は、請求の範囲第 1, 2, 3, 5, 6 項のいずれかに記載の D/A 変換器を具備することを特徴とする液晶パネル用基板。

9. 請求の範囲第 8 項において、

D/A 変換器を構成する前記変換容量および前記スイッチは、液晶と信号線との間の電氣的接続を制御する薄膜素子と共通の製造プロセスによって同一の基板上に製造されたことを特徴とする液晶パネル用基板。

10. 請求の範囲第 8 または請求の範囲第 9 項記載の液晶パネル用基板を用いて構成された液晶表示装置。

11. n ビット (n は自然数) のデジタル信号 D_i ($i=1, 2, \dots, n$) をアナログ出力 V_{out} に変換する D/A 変換器において、

前記デジタル信号 D_i の各ビットに対応する n 個の変換容量 C_{xi} と、

前記デジタル信号 D_i の各ビットに対応する n 種類の電位 V_{xi} が供給される少なくとも一つの変換選択配線と、

前記アナログ出力 V_{out} を取り出す出力配線と、

前記変換容量 C_{xi} の一方の極板に接続される電位 V_{s1} の第 1 の基準配線と、

を有し、

オンのデジタル信号 D_i に対応する前記変換容量 C_{xi} の他方の極板は、前記変換選択配線に接続されて、前記変換容量 C_{xi} に、対応する電位 V_{xi} と V_{s1} との電位差によって変換電荷が蓄積され、

オフのデジタル信号 D_i に対応する前記変換容量 C_{xi} の他方の極板は、所定の配線に接続され、

前記他方の極板は、前記変換電荷が蓄積された後に、前記変換選択配線及び前記所定の配線と電氣的に切断され、前記出力配線に接続されて、それぞれの前記変換電荷を合計してなる総電荷に対応してアナログ出力 V_{out} を供給する D/A 変換器。

- 1 2. 請求の範囲第 1 1 項記載の D/A 変換器において、
電位 V_{s2} の第 2 の基準配線と、
前記出力配線に形成され、第 1 及び第 2 の基準配線における電位 V_{s1} と V_{s2} との電位差によって基準電荷を蓄える基準容量 C_s と、
を有し、
前記オフのデジタル信号 D_i に対応する前記所定の配線は、前記第 1 の基準配線であり、
前記総電荷は、前記変換電荷と前記基準電荷の合計からなり、
アナログ出力 V_{out} が、
$$V_{out} = (\sum C_{xi} (D_i V_{xi} + V_{s1} (1 - D_i)) + C_s V_{s2}) / (\sum C_{xi} + C_s)$$

[D_i は、デジタル信号 D_i がオンのときを 1 とし、オフのときを 0 とする。]
で表される D/A 変換器。
- 1 3. 請求の範囲第 1 1 又は請求の範囲第 1 2 項記載の D/A 変換器において、
前記変換容量 C_{xi} の他方の極板と前記変換選択配線との間に接続される第 1 のスイッチと、
前記変換容量 C_{xi} の他方の極板と前記所定の配線との間に接続される第 2 のスイッチと、
前記変換容量 C_{xi} の他方の極板と前記出力配線との間に接続される第 3 のスイッチと、
を有する D/A 変換器。
- 1 4. 請求の範囲第 1 2 項記載の D/A 変換器において、
前記変換容量 C_{xi} の他方の極板と前記変換選択配線との間に接続される第 1 のスイッチと、
前記変換容量 C_{xi} の他方の極板と前記第 1 の基準配線との間に接続される第 2 のスイッチと、
前記変換容量 C_{xi} の他方の極板と前記出力配線との間に接続される第 3 のスイッチと、
前記基準容量 C_s に対する前記第 1 及び第 2 の基準配線からの電圧の印加を制御する第 4 のスイッチと、

を有する D / A 変換器。

15. 請求の範囲第 11、12 又は 14 項のいずれかに記載の D / A 変換器において、

n 本の変換選択配線によって n 種類の電位 V_{xi} が供給される D / A 変換器。

16. 請求の範囲第 13 項記載の D / A 変換器において、

n 本の変換選択配線によって n 種類の電位 V_{xi} が供給される D / A 変換器。

17. 請求の範囲第 11、12 又は 14 項のいずれかに記載の D / A 変換器において、

高電位配線と、低電位配線と、前記高電位配線と前記低電位配線との間に直列接続された $n - 1$ 個の抵抗と、

を有し、

前記変換選択配線は、前記高電位配線と該高電位配線に直結される前記抵抗との間の配線、隣同士の抵抗を接続する配線、及び前記低電位配線と該低電位配線に直結される前記抵抗との間の配線によって構成される D / A 変換器。

18. 請求の範囲第 13 項記載の D / A 変換器において、

高電位配線と、低電位配線と、前記高電位配線と前記低電位配線との間に直列接続された $n - 1$ 個の抵抗と、

を有し、

前記変換選択配線は、前記高電位配線と該高電位配線に直結される前記抵抗との間の配線、隣同士の抵抗を接続する配線、及び前記低電位配線と該低電位配線に直結される前記抵抗との間の配線によって構成される D / A 変換器。

19. 請求の範囲第 11、12 又は 14 項のいずれかに記載の D / A 変換器において、

1 本の前記変換選択配線を有し、この変換選択配線に供給される電位が時間的に変化することで n 種類の電位 V_{xi} が供給される D / A 変換器。

20. 請求の範囲第 13 項記載の D / A 変換器において、

1 本の前記変換選択配線を有し、この変換選択配線に供給される電位が時間的に変化することで n 種類の電位 V_{xi} が供給される D / A 変換器。

21. 請求の範囲第 19 項記載の D / A 変換器において、

前記 n 個の変換容量 C_{xi} に対応して n 本の変換パルス配線を有し、

各変換パルス配線には、前記変換選択配線における変化する電位が、対応する変換容量 C_{xi} に供給される電位 V_{xi} となるとときにパルス信号が印加され、

前記パルス信号に応じて、変換容量 C_{xi} に電位 V_{xi} が供給される D/A 変換器。

22. 請求の範囲第20項記載の D/A 変換器において、

前記 n 個の変換容量 C_{xi} に対応して n 本の変換パルス配線を有し、

各変換パルス配線には、前記変換選択配線における変化する電位が、対応する変換容量 C_{xi} に供給される電位 V_{xi} となるとときにパルス信号が印加され、

前記パルス信号に応じて、変換容量 C_{xi} に電位 V_{xi} が供給される D/A 変換器。

23. 請求の範囲第11、12又は14項のいずれかに記載の D/A 変換器において、

前記変換選択配線に供給される n 種類の電位 V_{xi} は、公比2の等比数列をなす D/A 変換器。

24. 請求の範囲第13項記載の D/A 変換器において、

前記変換選択配線に供給される n 種類の電位 V_{xi} は、公比2の等比数列をなす D/A 変換器。

25. 請求の範囲第15項記載の D/A 変換器において、

前記変換選択配線に供給される n 種類の電位 V_{xi} は、公比2の等比数列をなす D/A 変換器。

26. 請求の範囲第16項記載の D/A 変換器において、

前記変換選択配線に供給される n 種類の電位 V_{xi} は、公比2の等比数列をなす D/A 変換器。

27. 請求の範囲第17項記載の D/A 変換器において、

前記変換選択配線に供給される n 種類の電位 V_{xi} は、公比2の等比数列をなす D/A 変換器。

28. 請求の範囲第18項記載の D/A 変換器において、

前記変換選択配線に供給される n 種類の電位 V_{xi} は、公比2の等比数列をなす D/A 変換器。

29. 請求の範囲第19項記載の D/A 変換器において、

前記変換選択配線に供給される n 種類の電位 V_{xi} は、公比 2 の等比数列をなす D/A 変換器。

30. 請求の範囲第 20 項記載の D/A 変換器において、

前記変換選択配線に供給される n 種類の電位 V_{xi} は、公比 2 の等比数列をなす D/A 変換器。

31. 請求の範囲第 21 項記載の D/A 変換器において、

前記変換選択配線に供給される n 種類の電位 V_{xi} は、公比 2 の等比数列をなす D/A 変換器。

32. 請求の範囲第 22 項記載の D/A 変換器において、

前記変換選択配線に供給される n 種類の電位 V_{xi} は、公比 2 の等比数列をなす D/A 変換器。

33. n ビット (n は自然数) のデジタル信号 D_i ($i=1,2,\dots,n$) をアナログ出力 V_{out} に変換する D/A 変換器において、

前記デジタル信号 D_i の各ビットに対応する n 個の変換容量 C_{xi} と、
複数種類の電位 V_{xi} が供給される少なくとも一つの変換選択配線と、
を有し、

前記デジタル信号 D_i のビット桁に応じて、前記 n 個の変換容量 C_{xi} のそれぞれに変換電荷が蓄積されるように、前記電位 V_{xi} 及び前記変換容量 C_{xi} の容量値が設定されてなり、それぞれの前記変換電荷を合計してなる総電荷に対応してアナログ出力 V_{out} を供給する D/A 変換器。

34. n ビット (n は自然数) のデジタル信号 D_i ($i=1,2,\dots,n$) をアナログ出力 V_{out} に変換する D/A 変換方法において、

オンの前記デジタル信号 D_i のビット桁に対応する n 種類の電位 V_i に基づいて n 個の変換容量 C_{xi} のそれぞれに変換電荷を蓄積するとともに、オフの前記デジタル信号 D_i に対応して前記変換容量 C_{xi} に蓄積される変換電荷をビット桁に関わらず一定とし、

前記変換電荷を合計してなる総電荷に対応してアナログ出力 V_{out} を供給する D/A 変換方法。

35. 請求の範囲第 34 項記載の D/A 変換方法において、

前記変換容量 C_{xi} の容量値が設計値と異なる場合に、前記電位 V_i を調整することで、対応する変換電荷の値をほぼ設計値通りとする D/A 変換方法。

36. 請求の範囲第34又は請求の範囲第35項記載の D/A 変換方法において、

前記デジタル信号 D_i のオン・オフに関わらず、前記アナログ出力 V_{out} の電位を上げるために、基準容量に基準電荷を蓄積し、

前記総電荷は、前記変換電荷と前記基準電荷との合計値からなる D/A 変換方法。

37. 請求の範囲第34又35項記載の D/A 変換方法において、

前記デジタル信号 D_i のオン・オフに関わらず、前記アナログ出力 V_{out} の電位を上げるために、基準容量に基準電荷を蓄積し、

前記総電荷は、前記変換電荷と前記基準電荷との合計値からなる D/A 変換方法。

38. 請求の範囲第37項記載の D/A 変換方法において、

前記基準容量の容量値が設計値と異なる場合に、印加される電圧を調整することで、前記基準電荷の値をほぼ設計値通りとする D/A 変換方法。

39. n ビット (n は自然数) のデジタル信号 D_i ($i=1,2,\dots,n$) をアナログ出力 V_{out} に変換する D/A 変換方法において、

オンの前記デジタル信号 D_i のビット桁に対応して、複数種類の電位 V_{xi} のいずれかを選択して、 n 個の変換容量 C_{xi} のそれぞれに変換電荷を蓄積するとともに、オフの前記デジタル信号 D_i に対応して前記変換容量 C_{xi} に蓄積される変換電荷をビット桁に関わらず一定とし、

前記変換電荷を合計してなる総電荷に対応してアナログ出力 V_{out} を供給する D/A 変換方法。

40. 液晶パネルにおける一方の基板であって、

前記液晶パネルを駆動するための駆動回路と、前記液晶に電圧を印加するための画素電極と、該画素電極への電位の供給を制御する薄膜トランジスタと、を有し、

前記駆動回路は、請求の範囲第11項記載の D/A 変換器を含む液晶パネル用

基板。

4 1. 液晶パネルにおける一方の基板であって、

前記液晶パネルを駆動するための駆動回路と、前記液晶に電圧を印加するための画素電極と、該画素電極への電位の供給を制御する薄膜トランジスタと、を有し、

前記駆動回路は、請求の範囲第 1 2 項記載の D/A 変換器を含む液晶パネル用基板。

4 2. 請求の範囲第 4 1 項記載の液晶パネル用基板において、

前記変換容量 C_{xi} 又は前記基準容量 C_s の少なくとも一方は、前記薄膜トランジスタと共通の製造プロセスによって、同一の基板上に製造されてなる液晶パネル用基板。

4 3. 請求の範囲第 4 0 項記載の液晶パネル用基板が用いられる液晶表示装置。

4 4. 請求の範囲第 4 2 項記載の液晶パネル用基板が用いられる液晶表示装置。

4 5. 請求の範囲第 4 3 又は 4 4 項記載の液晶表示装置において、

1 水平走査期間は、走査信号の選択期間と、該選択期間と次の選択期間との間のブランキング期間とからなり、

前記ブランキング期間において、前記総電荷の蓄積及びアナログ出力 V_{out} の供給が行われる液晶表示装置。

4 6. 請求の範囲第 4 3 又は 4 4 項記載の液晶表示装置において、

1 水平走査期間は、走査信号の選択期間と、該選択期間と次の選択期間との間のブランキング期間とからなり、

前記ブランキング期間において、前記総電荷の蓄積が開始され、

次の水平走査期間の選択期間において、前記総電荷の蓄積が終了して、アナログ出力 V_{out} の供給が行われる液晶表示装置。

4 7. 複数の走査線と、複数の信号線と、各走査線と各信号線とに接続されたスイッチ素子と、を有するアクティブマトリクス型表示装置における前記信号線を、画像信号の供給に先だってプリチャージする方法であって、

複数種類のプリチャージ用直流電位を選択的に前記信号線に接続するためのスイッチを、一本の信号線毎に用意しておく、

前記スイッチを切り換えて前記信号線をいずれかの前記プリチャージ用直流電位に接続し、これにより前記信号線を、前記画像信号の振幅の中心電位に対する極性と同一の極性でプリチャージすることを特徴とする信号線プリチャージ方法。

48. 請求の範囲第47項において、

それぞれの前記プリチャージ用直流電位に保たれた配線が、前記各電位毎に用意されていることを特徴とする信号線プリチャージ方法。

49. 請求の範囲第48項において、

前記配線の各々の等価容量は、前記信号線の各々の等価容量よりも大きいことを特徴とする信号線プリチャージ方法。

50. 請求の範囲第47項において、

1または複数の走査線毎にプリチャージの極性を時間的に反転させることを特徴とする信号線プリチャージ方法。

51. 請求の範囲第48項において、

1または複数の走査線毎にプリチャージの極性を時間的に反転させることを特徴とする信号線プリチャージ方法。

52. 請求の範囲第49項において、

1または複数の走査線毎にプリチャージの極性を時間的に反転させることを特徴とする信号線プリチャージ方法。

53. 請求の範囲第47～52項のいずれかにおいて、

アクティブマトリクス型表示装置を線順次駆動する場合に、1または複数の信号線毎にプリチャージの極性を周期的に反転させることを特徴とする信号線プリチャージ方法。

54. 請求の範囲第47～52項のいずれかにおいて、

アクティブマトリクス型表示装置を点順次駆動する場合に、1または複数の信号線毎にプリチャージの極性を周期的に反転させることを特徴とする信号線プリチャージ方法。

55. 請求の範囲第50～52項のいずれかにおいて、

前記信号線プリチャージは、水平選択期間に先立つ水平ブランキング期間において、少なくともある信号線に対してある期間は同時に行われることを特徴とす

る信号線プリチャージ方法。

56. 請求の範囲第53項において、

前記信号線プリチャージは、水平選択期間に先立つ水平ブランキング期間において、少なくともある信号線に対してある期間は同時に行われることを特徴とする信号線プリチャージ方法。

57. 請求の範囲第54項において、

前記信号線プリチャージは、水平選択期間に先立つ水平ブランキング期間において、少なくともある信号線に対してある期間は同時に行われることを特徴とする信号線プリチャージ方法。

58. 請求の範囲第47～52項のいずれかにおいて、

アクティブマトリクス型表示装置を点順次駆動する場合に、前記点順次駆動に先立つ水平ブランキング期間および水平選択期間に、所定のタイミングで前記信号線の各々に接続されている前記スイッチを順次に切り換えていき、これにより、信号線のプリチャージを行うことを特徴とする信号線プリチャージ方法。

59. 請求の範囲第47、48、49、50、51又は52項のいずれかにおいて、

前記複数のプリチャージ用直流電位はそれぞれ、前記画像信号の灰色レベルに相当する電位であることを特徴とする信号線プリチャージ方法。

60. 請求の範囲第53項において、

前記複数のプリチャージ用直流電位はそれぞれ、前記画像信号の灰色レベルに相当する電位であることを特徴とする信号線プリチャージ方法。

61. 請求の範囲第54項において、

前記複数のプリチャージ用直流電位はそれぞれ、前記画像信号の灰色レベルに相当する電位であることを特徴とする信号線プリチャージ方法。

62. 請求の範囲第55項において、

前記複数のプリチャージ用直流電位はそれぞれ、前記画像信号の灰色レベルに相当する電位であることを特徴とする信号線プリチャージ方法。

63. 請求の範囲第56項において、

前記複数のプリチャージ用直流電位はそれぞれ、前記画像信号の灰色レベルに

相当する電位であることを特徴とする信号線プリチャージ方法。

64. 請求の範囲第57項において、

前記複数のプリチャージ用直流電位はそれぞれ、前記画像信号の灰色レベルに相当する電位であることを特徴とする信号線プリチャージ方法。

65. 請求の範囲第58項において、

前記複数のプリチャージ用直流電位はそれぞれ、前記画像信号の灰色レベルに相当する電位であることを特徴とする信号線プリチャージ方法。

66. 請求の範囲第47、48、49、50、51又は52項のいずれかにおいて、

前記スイッチの前記信号線への接続時間を制御することにより、前記信号線の充放電の電流量を調整し、これによって前記信号線を所定の電圧レベルにプリチャージすることを特徴とする信号線プリチャージ方法。

67. 請求の範囲第53項において、

前記スイッチの前記信号線への接続時間を制御することにより、前記信号線の充放電の電流量を調整し、これによって前記信号線を所定の電圧レベルにプリチャージすることを特徴とする信号線プリチャージ方法。

68. 請求の範囲第54項において、

前記スイッチの前記信号線への接続時間を制御することにより、前記信号線の充放電の電流量を調整し、これによって前記信号線を所定の電圧レベルにプリチャージすることを特徴とする信号線プリチャージ方法。

69. 請求の範囲第55項において、

前記スイッチの前記信号線への接続時間を制御することにより、前記信号線の充放電の電流量を調整し、これによって前記信号線を所定の電圧レベルにプリチャージすることを特徴とする信号線プリチャージ方法。

70. 請求の範囲第56項において、

前記スイッチの前記信号線への接続時間を制御することにより、前記信号線の充放電の電流量を調整し、これによって前記信号線を所定の電圧レベルにプリチャージすることを特徴とする信号線プリチャージ方法。

71. 請求の範囲第57項において、

前記スイッチの前記信号線への接続時間を制御することにより、前記信号線の充放電の電流量を調整し、これによって前記信号線を所定の電圧レベルにプリチャージすることを特徴とする信号線プリチャージ方法。

72. 請求の範囲第58項において、

前記スイッチの前記信号線への接続時間を制御することにより、前記信号線の充放電の電流量を調整し、これによって前記信号線を所定の電圧レベルにプリチャージすることを特徴とする信号線プリチャージ方法。

73. 複数の走査線と、複数の信号線と、各走査線と各信号線とに接続されたスイッチ素子と、を具備するアクティブマトリクス型表示装置における前記信号線を、画像信号の供給に先だってプリチャージする方法であって、第1のプリチャージ電位線と、この第1のプリチャージ電位線の電位とは異なる第2のプリチャージ電位線と、前記第1および第2のプリチャージ電位線のいずれかを選択的に前記信号線に接続するためのスイッチとを、一本の信号線毎に用意しておき、

前記スイッチを切り換えて、前記信号線を前記第1および第2のプリチャージ電位線のいずれかに接続して前記信号線のプリチャージを行うと共に、前記第1および第2のプリチャージ電位線のそれぞれの電位を周期的に反転させることを特徴とする信号線プリチャージ方法。

74. 複数の走査線と、複数の信号線と、各走査線と各信号線とに接続されたスイッチ素子と、を具備するアクティブマトリクス型表示装置における前記信号線を、画像信号の供給に先だってプリチャージする信号線プリチャージ回路であって、

第1のプリチャージ用電位線と、

前記第1のプリチャージ用電位線とは異なる電位の第2のプリチャージ用直流電位線と、

前記第1および第2のプリチャージ用電位線のいずれかを選択的に前記信号線に接続するためのスイッチと、

前記スイッチのを切り換えを制御するスイッチ制御回路と、を有することを特徴とする信号線プリチャージ回路。

75. 複数の走査線と、複数の信号線と、各走査線と各信号線との交点に設け

られた、液晶と信号線との間の電氣的接続を制御するスイッチ素子と、を具備する液晶表示装置における前記信号線を、画像信号の供給に先だってプリチャージする信号線プリチャージ回路であって、

第 1 のプリチャージ電位線と、

前記第 1 のプリチャージ用電位線の電位とは異なる電位の第 2 のプリチャージ電位線と、

前記第 1 のプリチャージ電位線と信号線の各々との接続／非接続を切り換えるために、各信号線毎に設けられた第 1 のスイッチと、

前記第 2 のプリチャージ電位線と信号線の各々との接続／非接続を切り換えるために、各信号線毎に設けられた第 2 のスイッチと、

前記第 1 のスイッチおよび前記第 2 のスイッチの開閉を制御するスイッチ制御回路と、を有することを特徴とする信号線プリチャージ回路。

76. 請求の範囲第 75 項において、

プリチャージ回路は、各信号線の各々を点順次でプリチャージするためのパルスを発生させるシフトシフトレジスタを有することを特徴とする信号線プリチャージ回路。

77. 請求の範囲第 76 項において、

前記シフトレジスタは、各信号線に順次に画像信号を供給するためのシフトレジスタを兼ねることを特徴とする信号線プリチャージ回路。

78. 請求の範囲第 74～77 項のいずれかに記載の信号線プリチャージ回路を具備する液晶パネル用基板。

79. 請求の範囲第 78 項において、

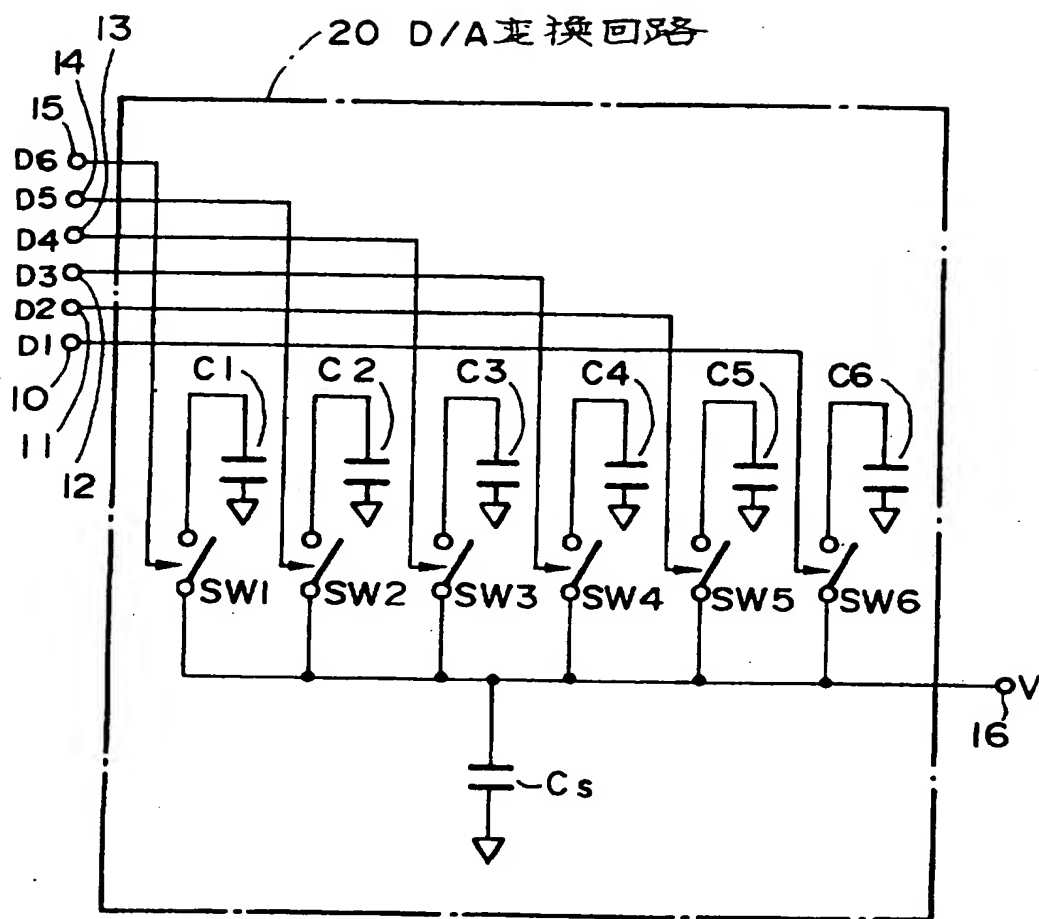
信号線プリチャージ回路と前記各走査線と各信号線との交点に設けられた、液晶と信号線との間の電氣的接続を制御するスイッチ素子とは、共通の製造プロセスによって同一の基板上に製造されたことを特徴とする液晶パネル用基板。

80. 請求の範囲第 78 項記載の液晶パネル用基板を用いて構成された液晶表示装置。

81. 請求の範囲第 79 項記載の液晶パネル用基板を用いて構成された液晶表示装置。

1/69

FIG. 1



$$C1 : C2 : C3 : C4 : C5 : C6 = 1 : 2 : 4 : 8.56 : 19.02 : 42.27$$

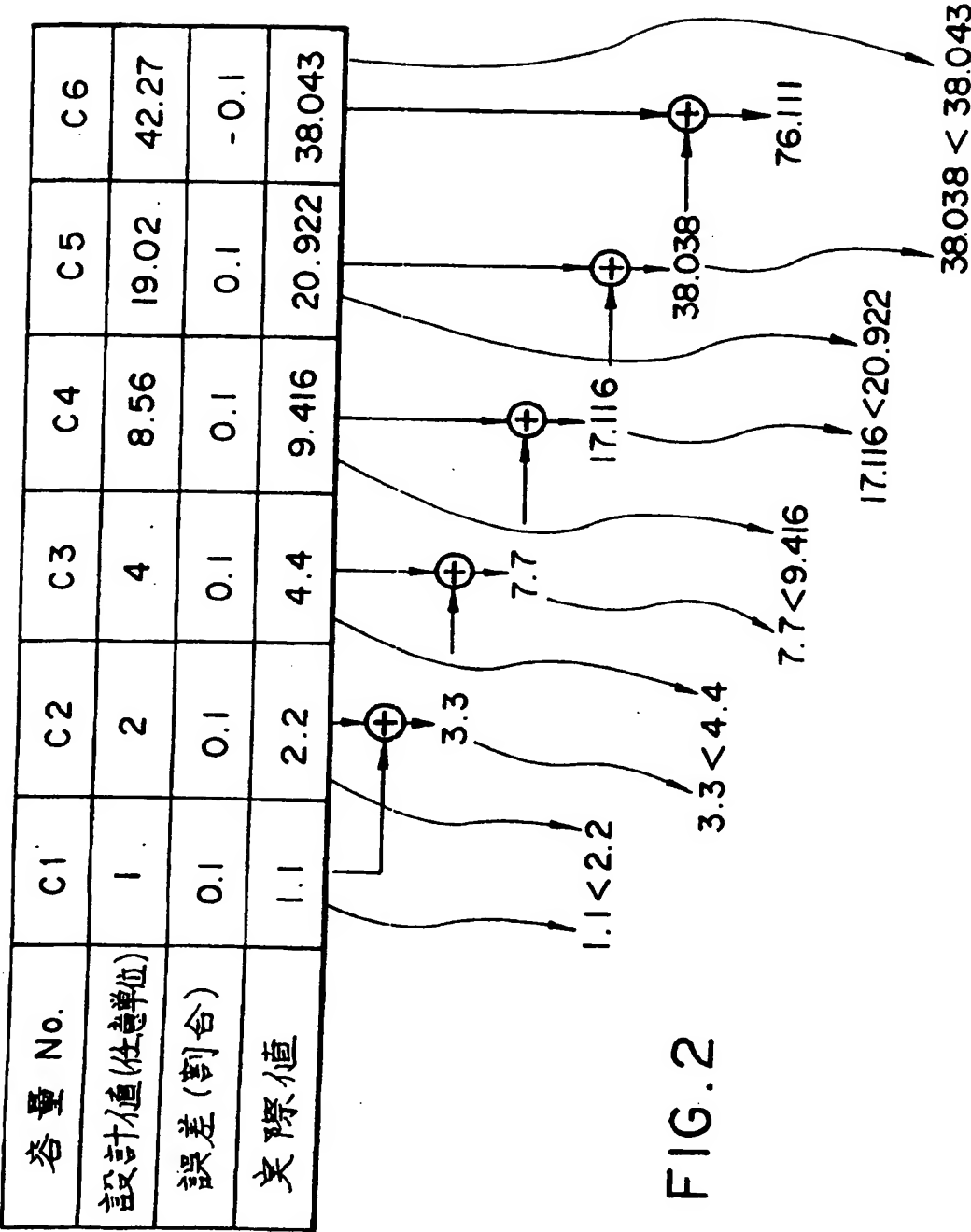
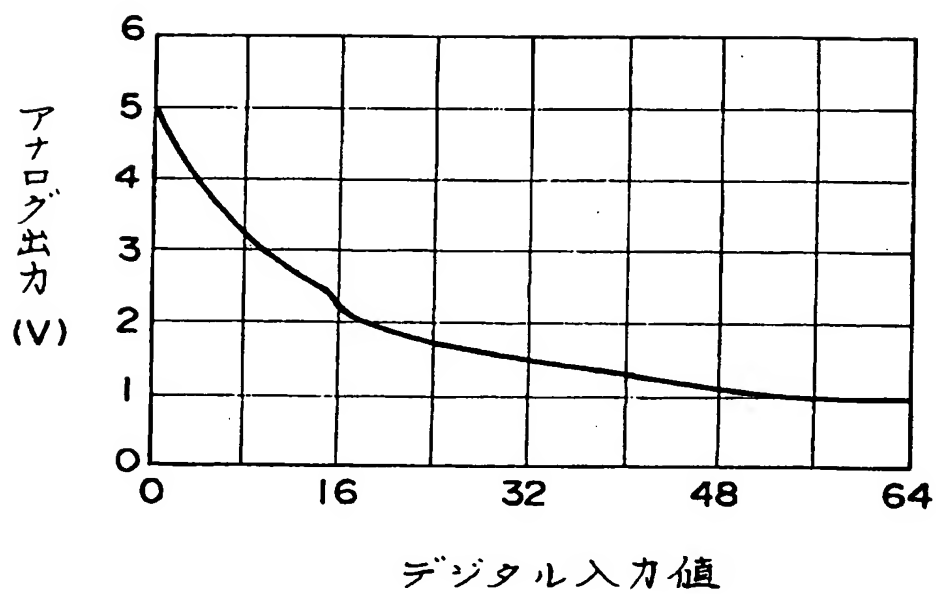


FIG. 2

3/69

FIG. 3



4/69

FIG. 4

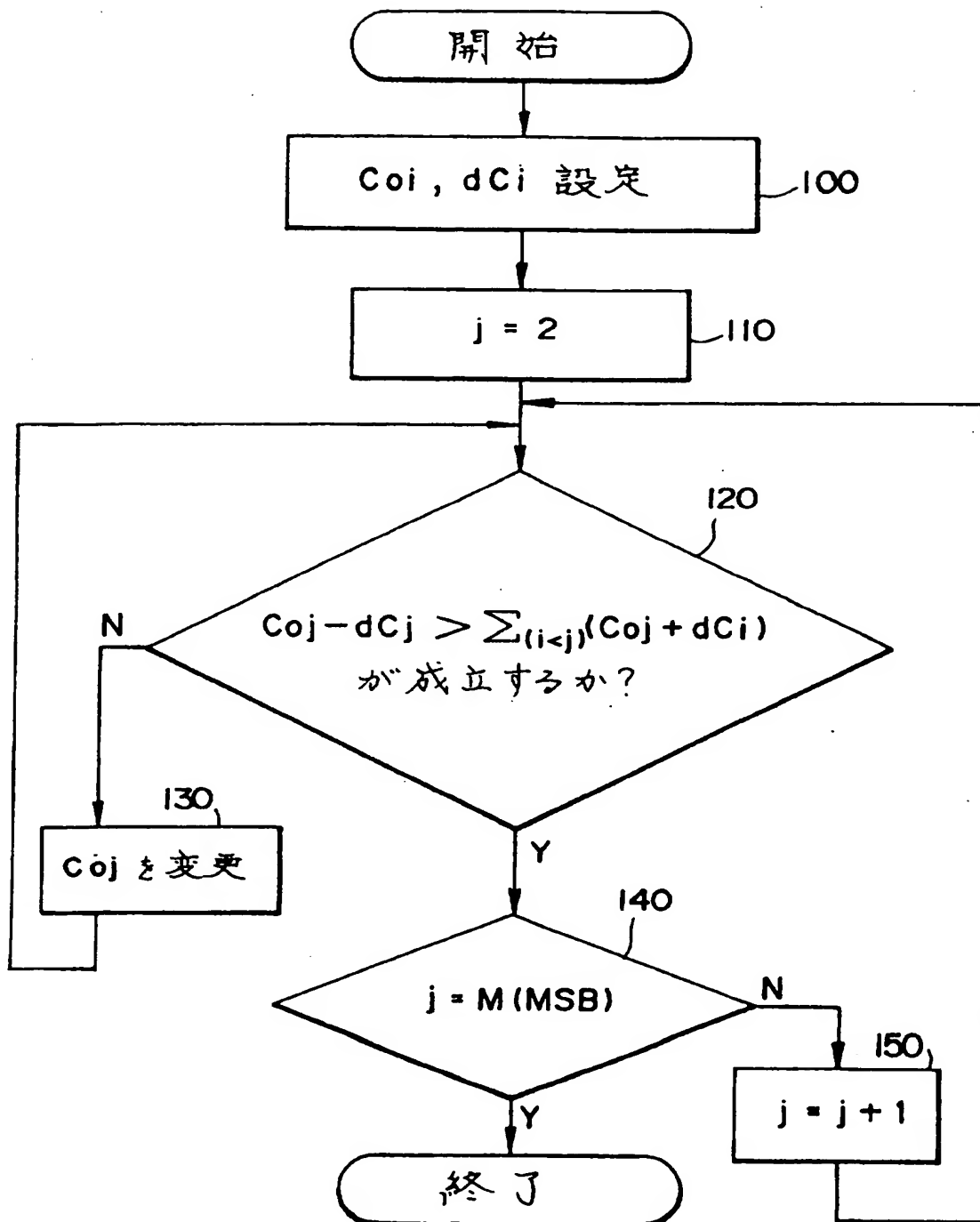
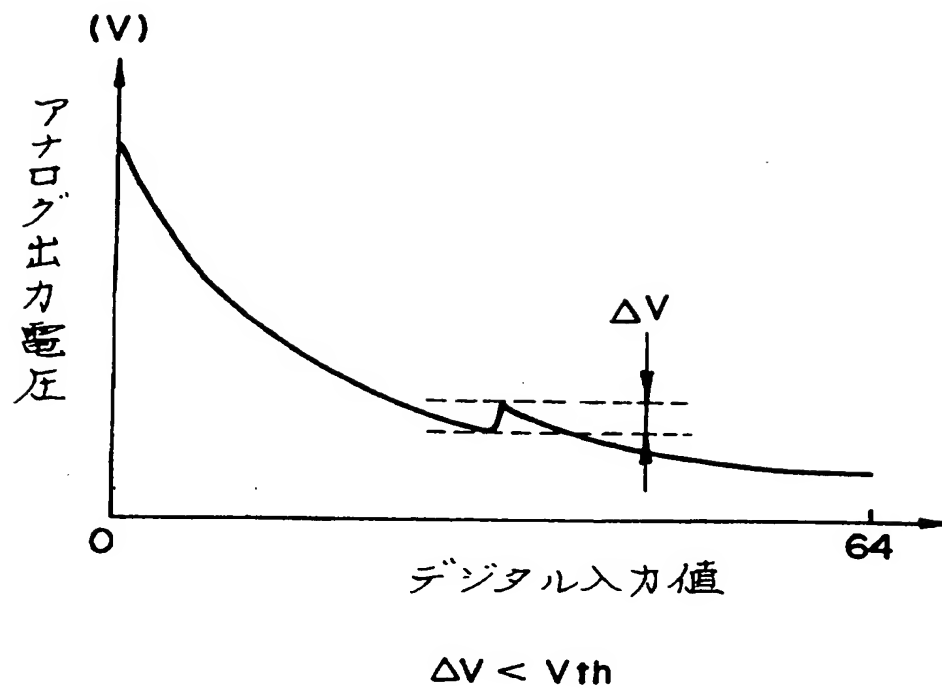
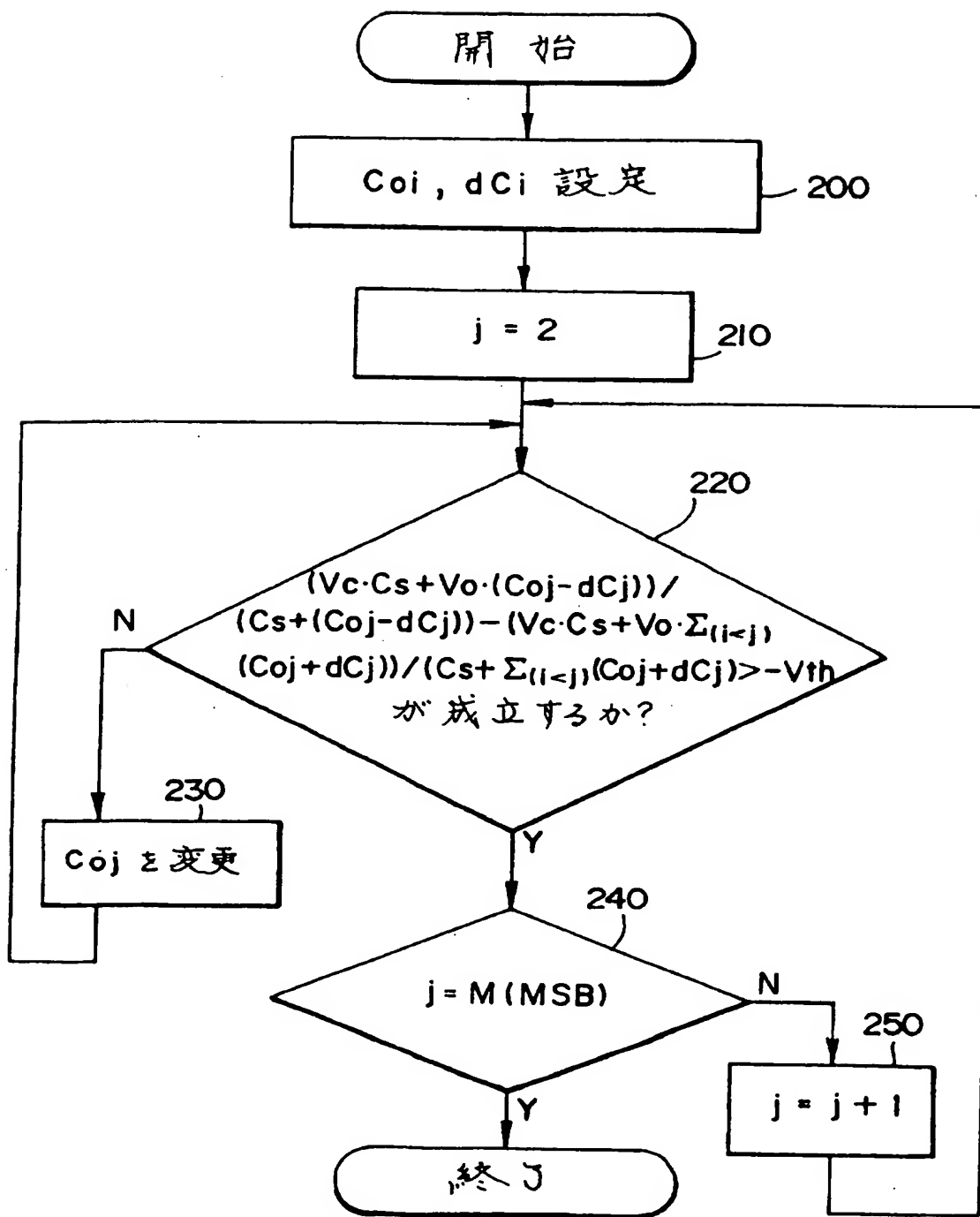


FIG. 5



6/69

FIG. 6



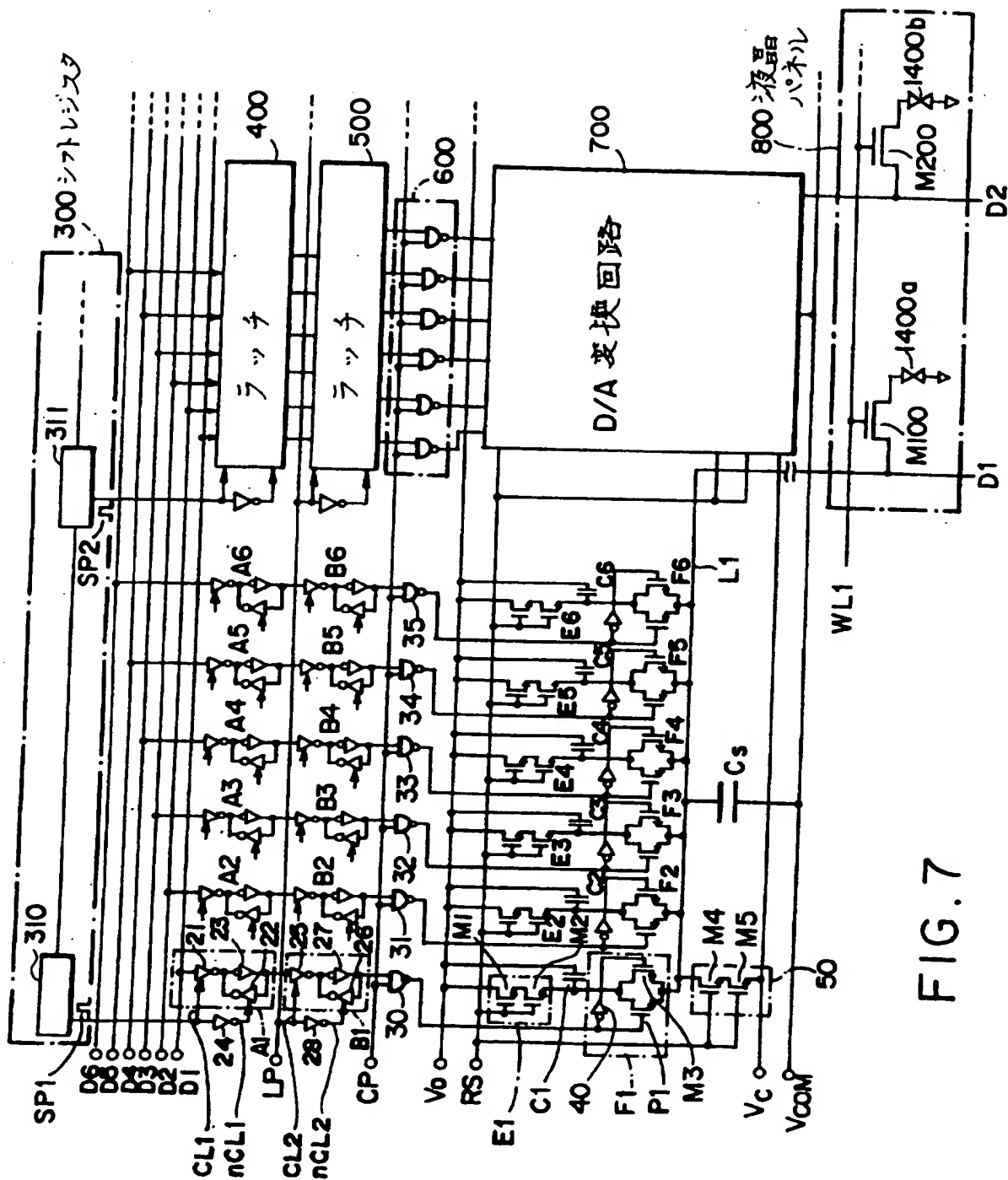


FIG. 7

8/69

FIG. 8A

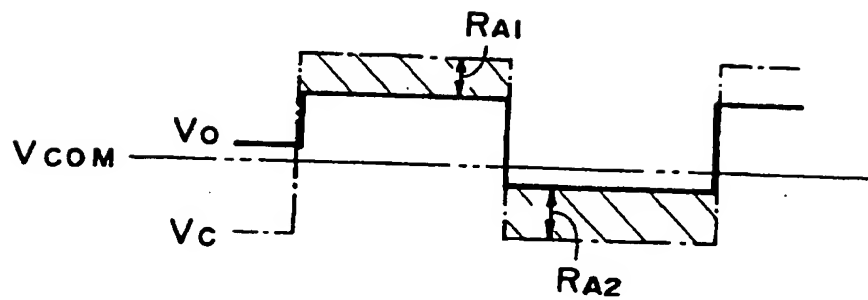
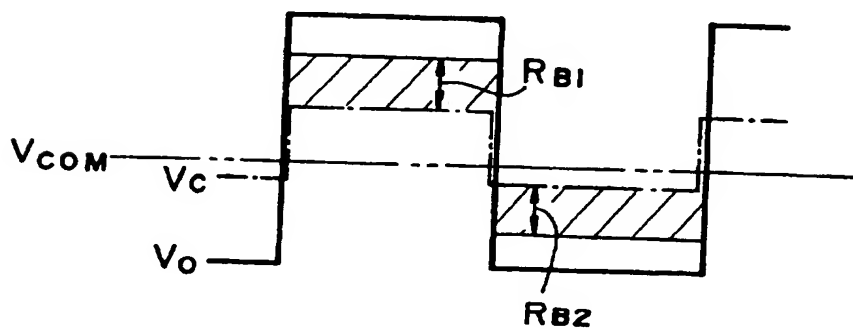
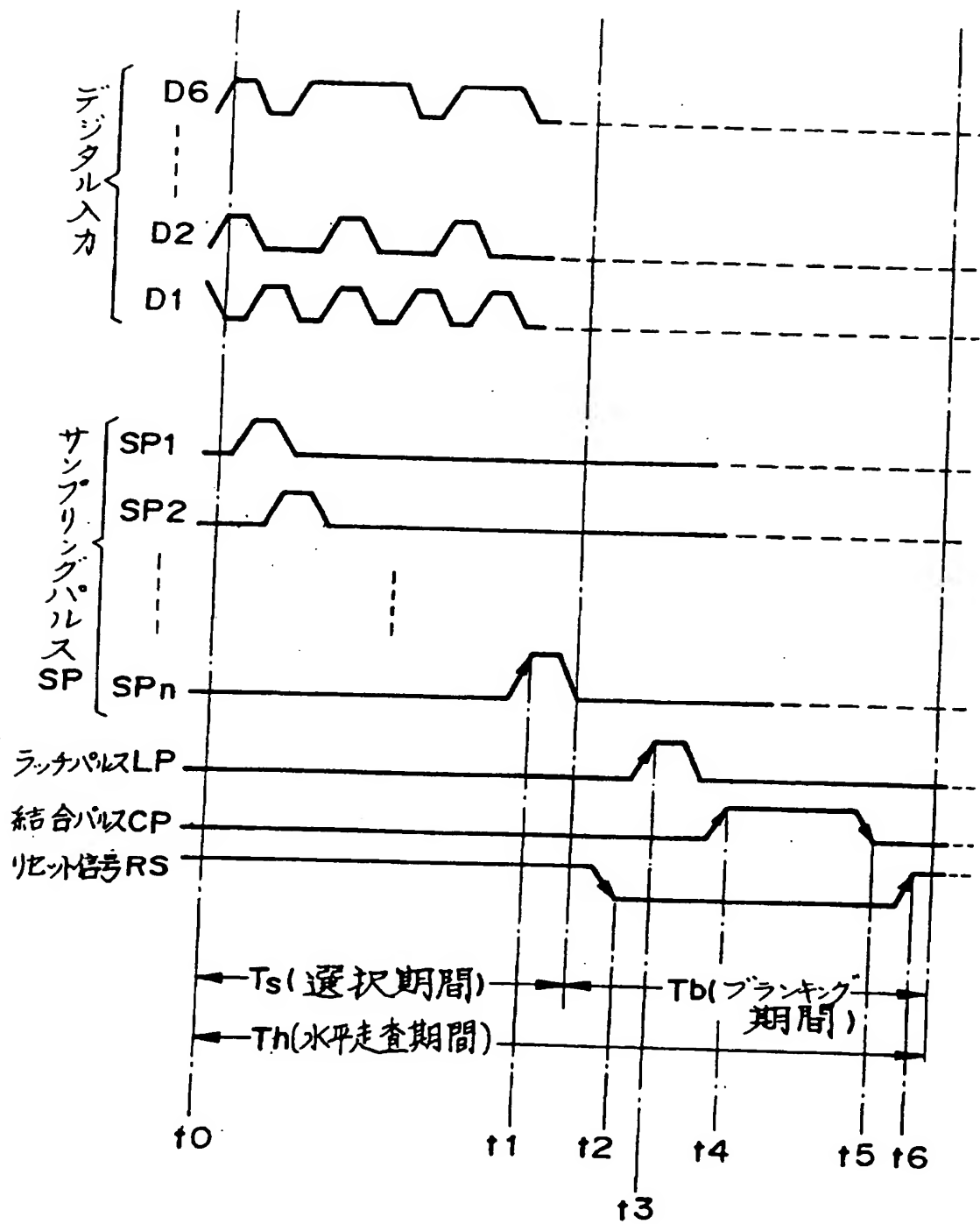


FIG. 8B



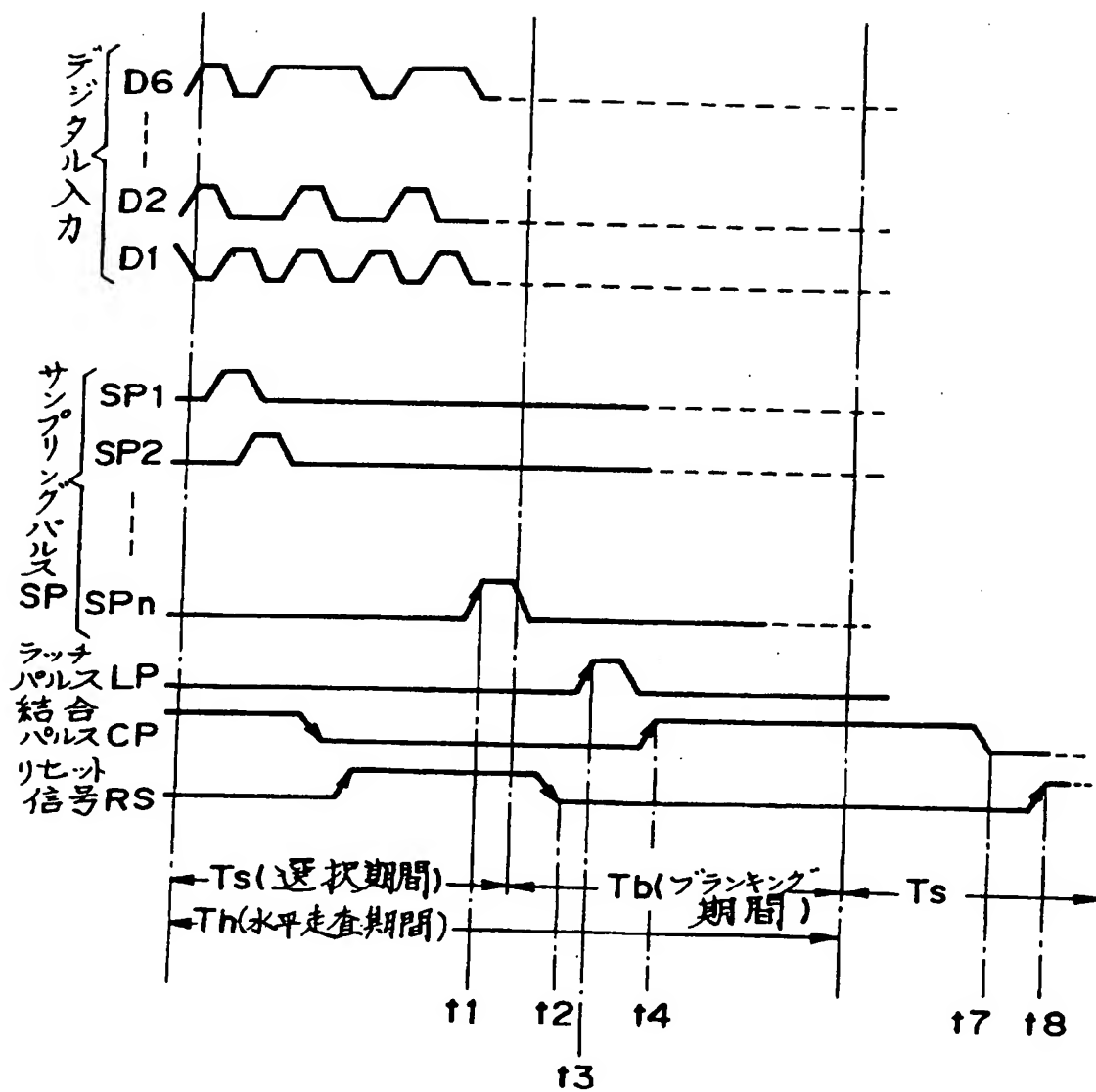
9/69

FIG. 9



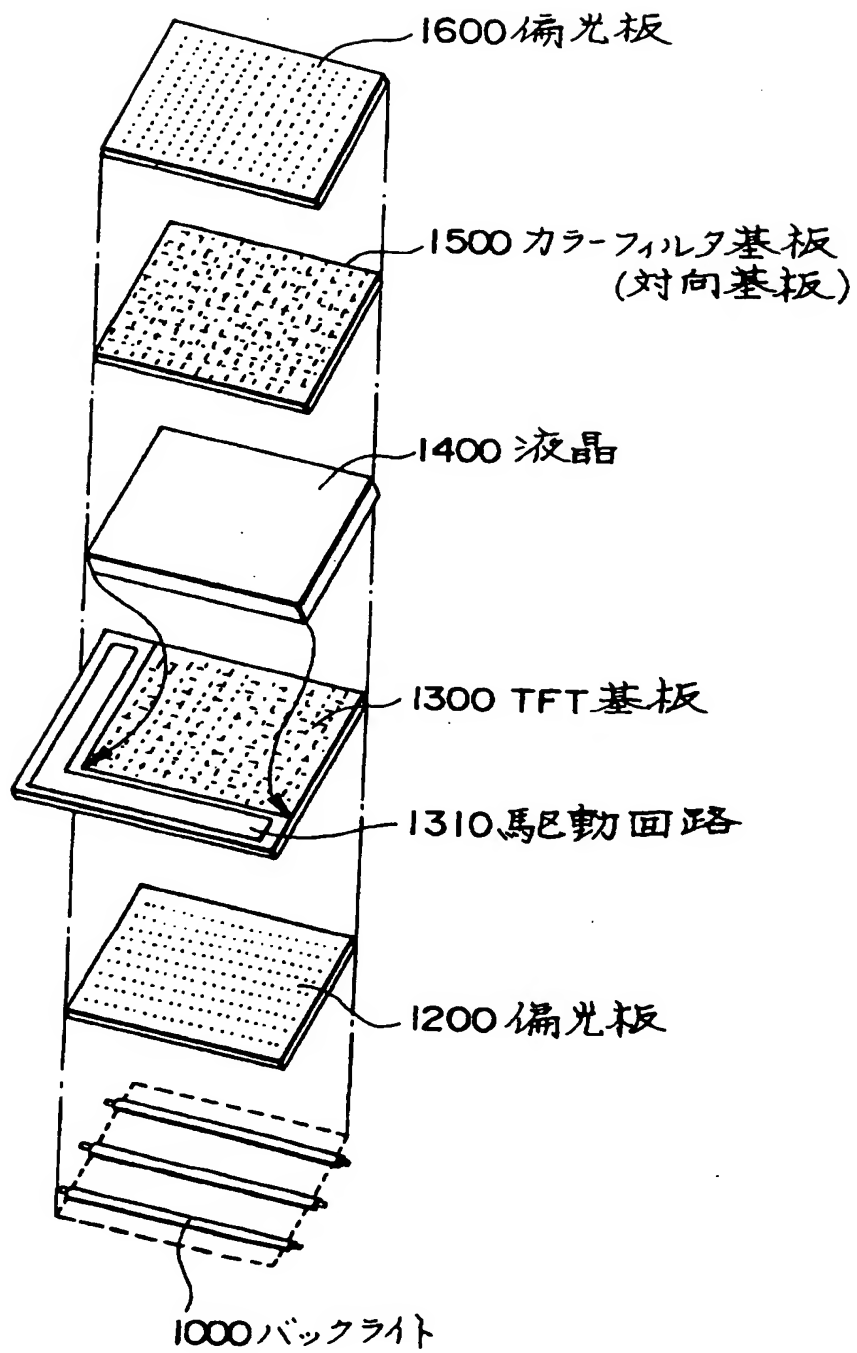
10/69

FIG. 10



11/69

FIG. 11



12/69

FIG. 12

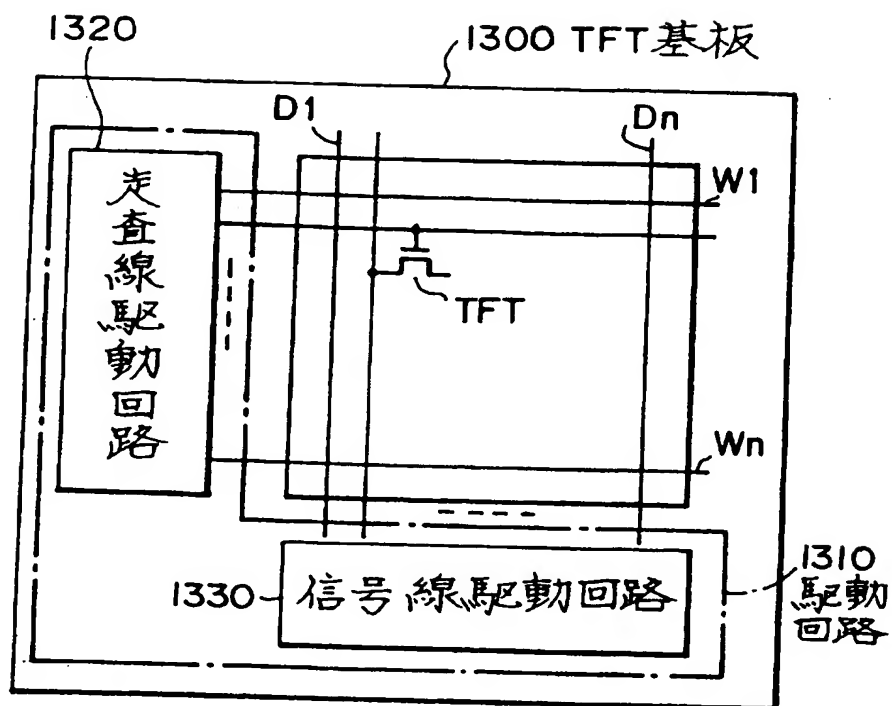
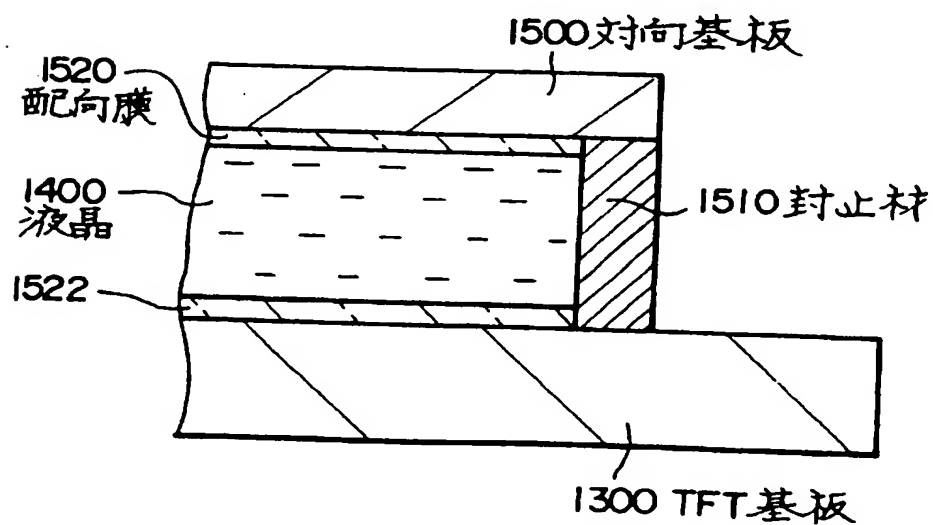


FIG. 13



13/69

FIG. 14A

(a)

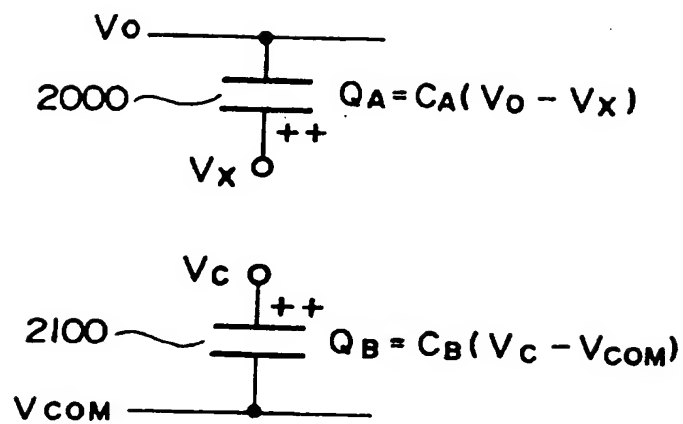
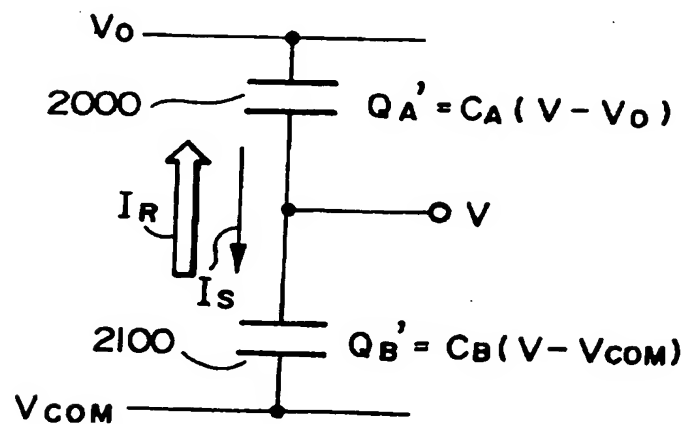


FIG. 14B

(b)



14/69

FIG. 15

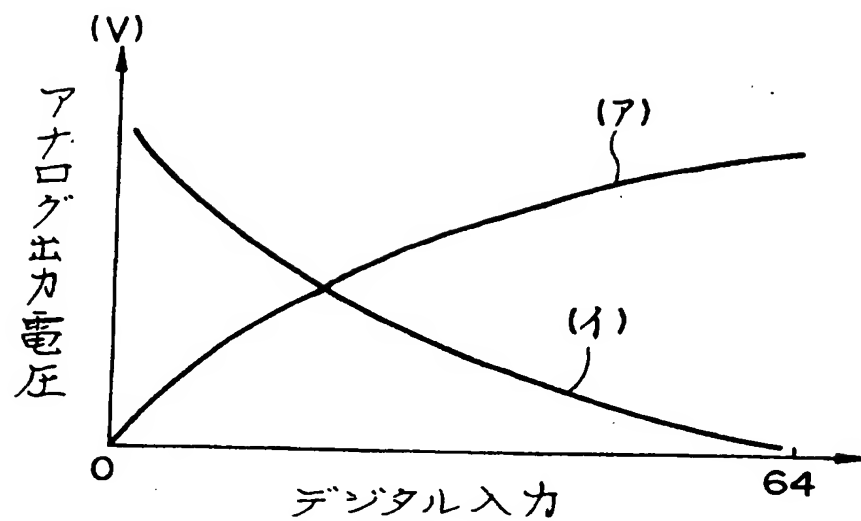
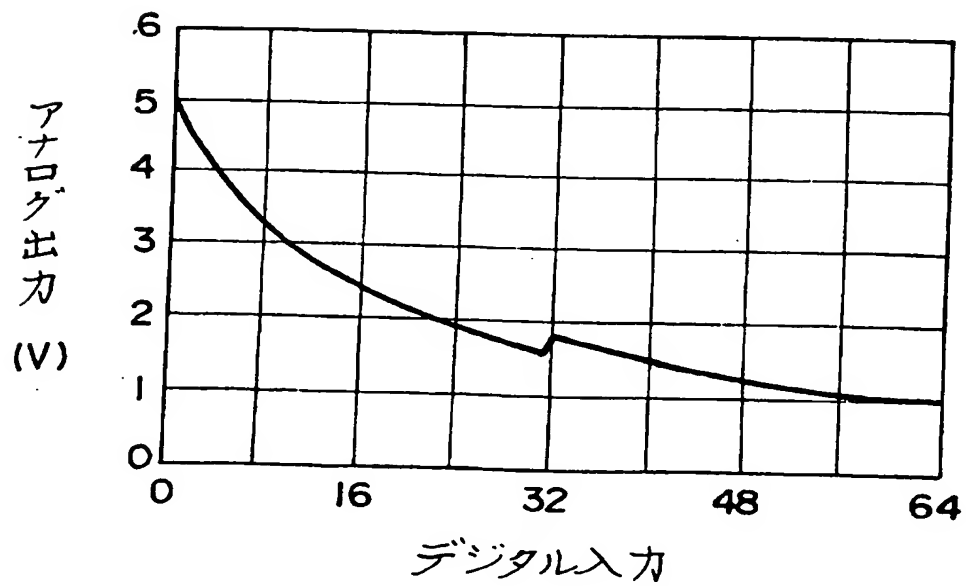


FIG. 16



15/69

FIG. 17A

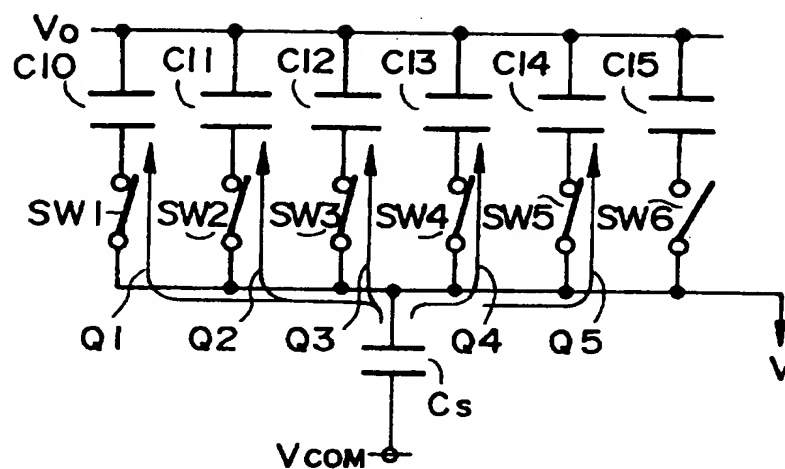
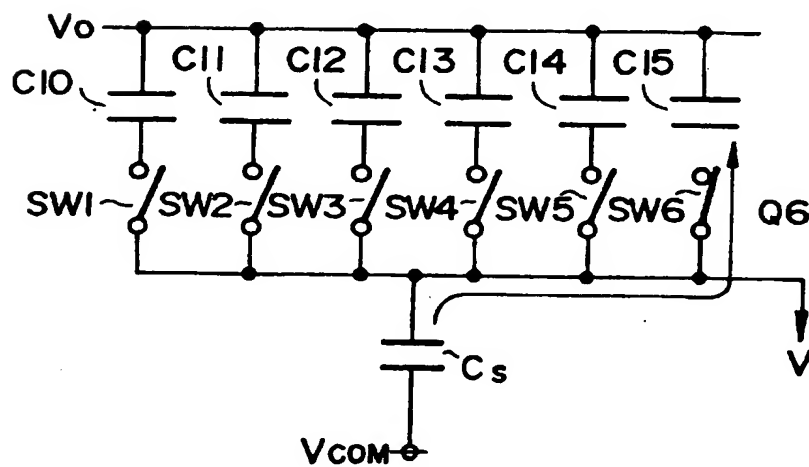


FIG. 17B



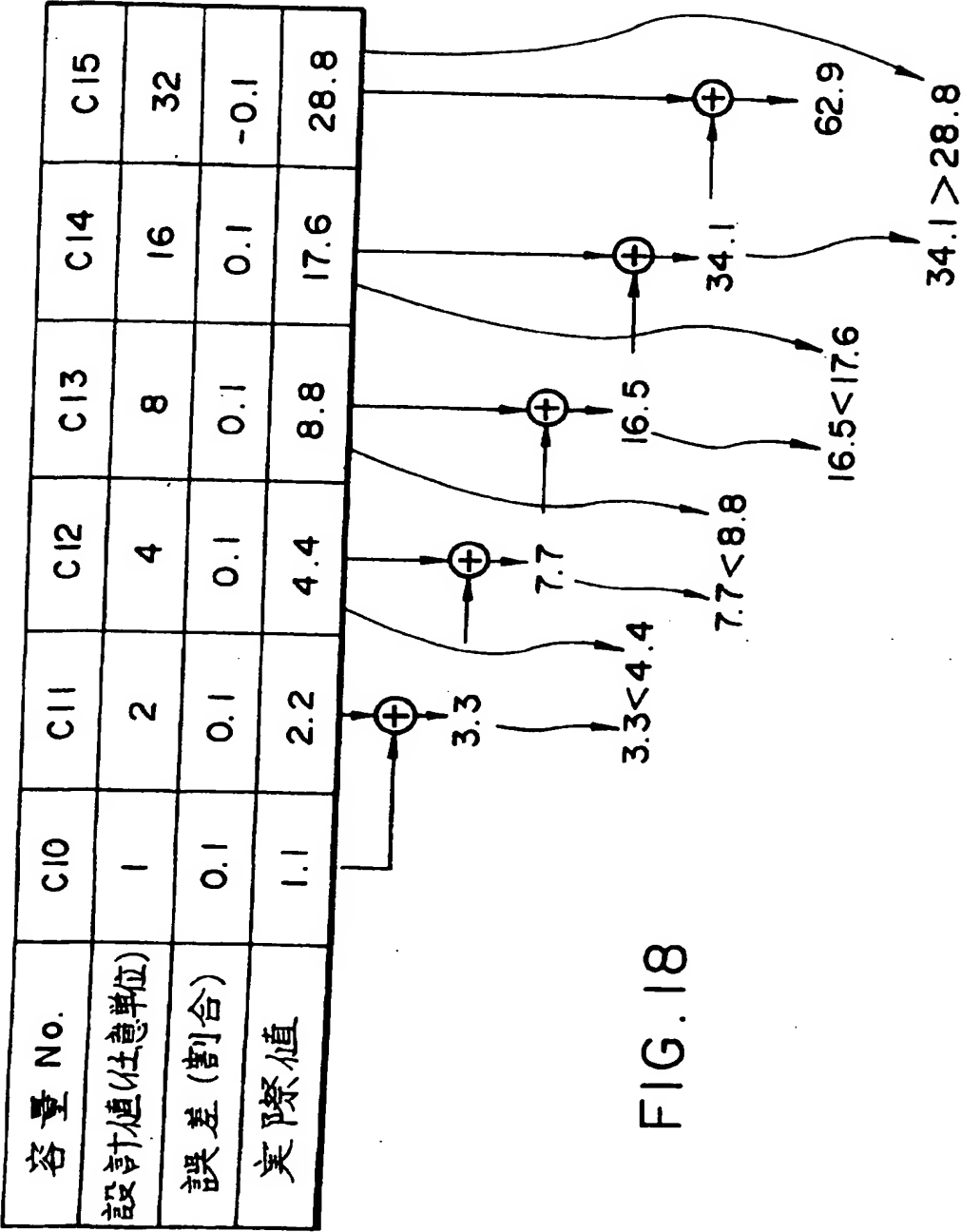


FIG. 18

17/69

FIG. 19

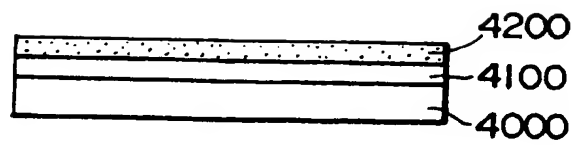


FIG. 20

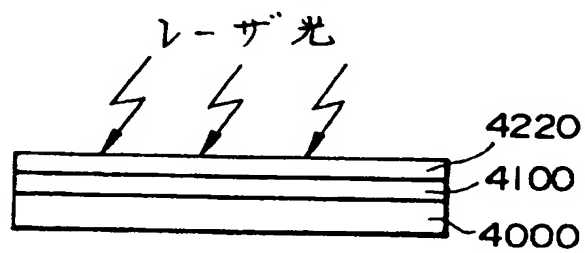
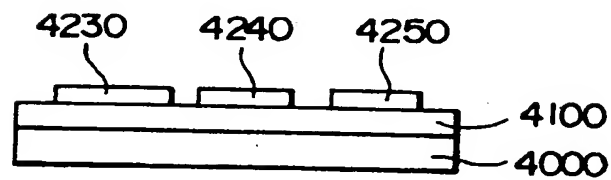


FIG. 21



18/69

FIG. 22

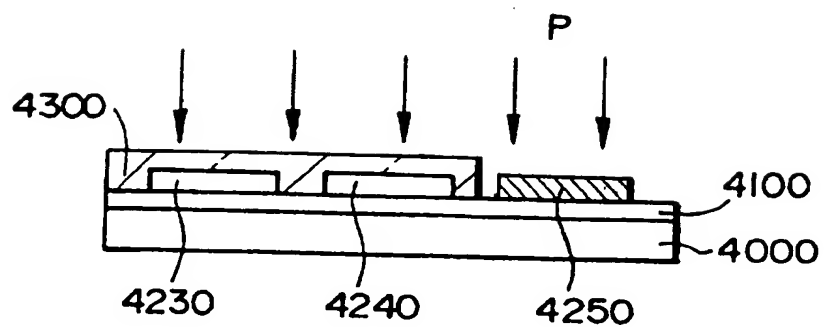


FIG. 23

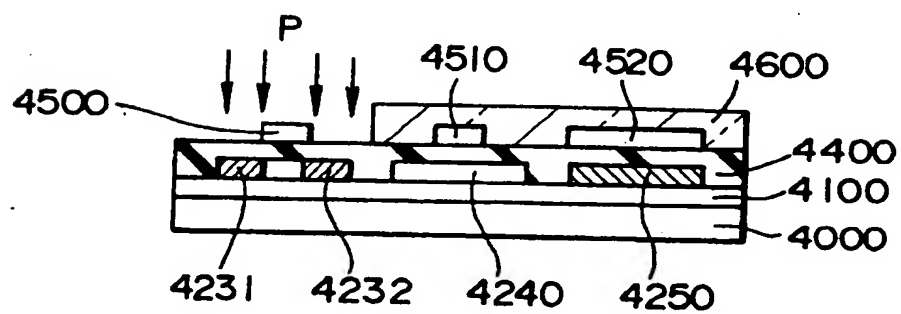
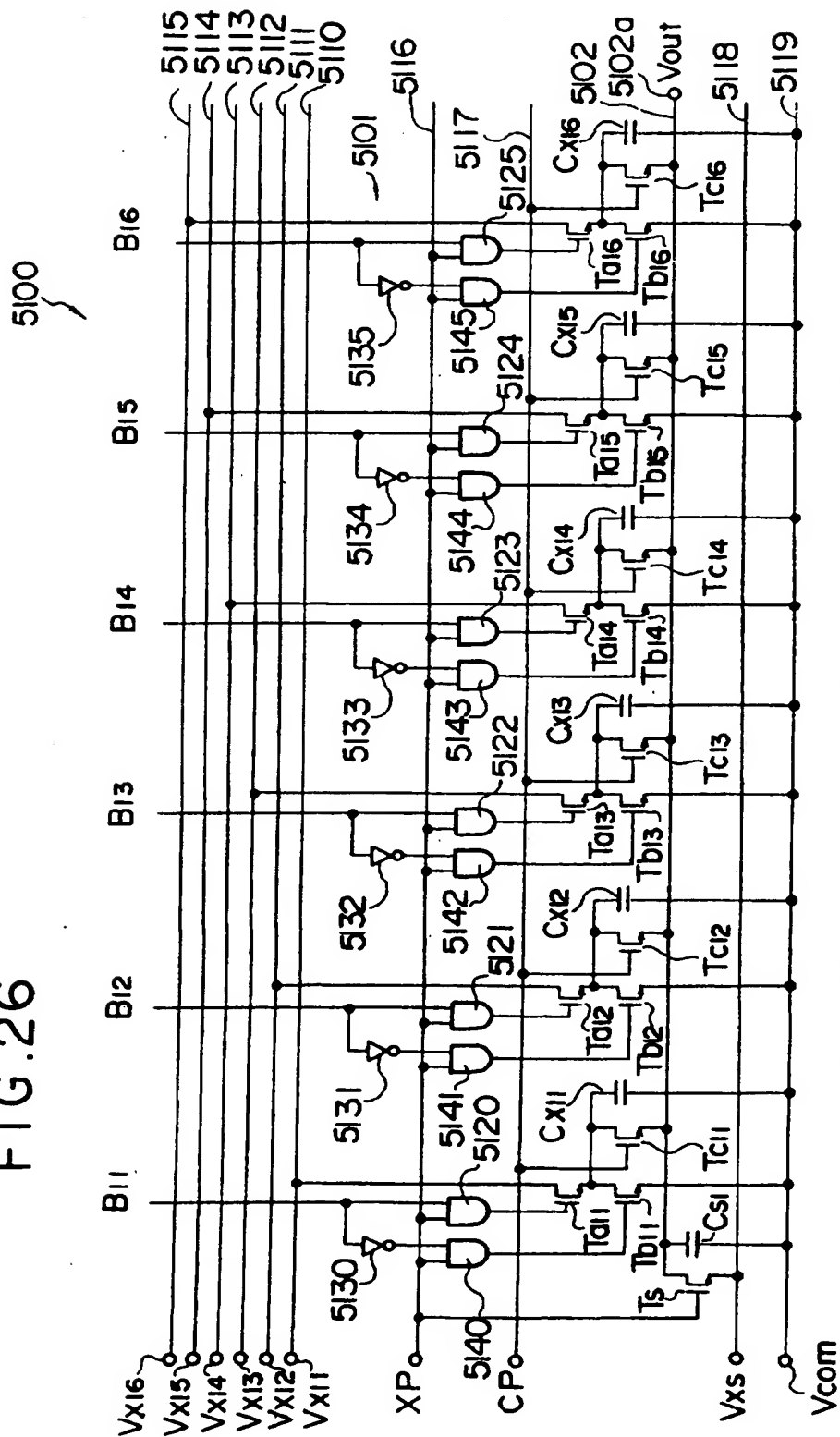
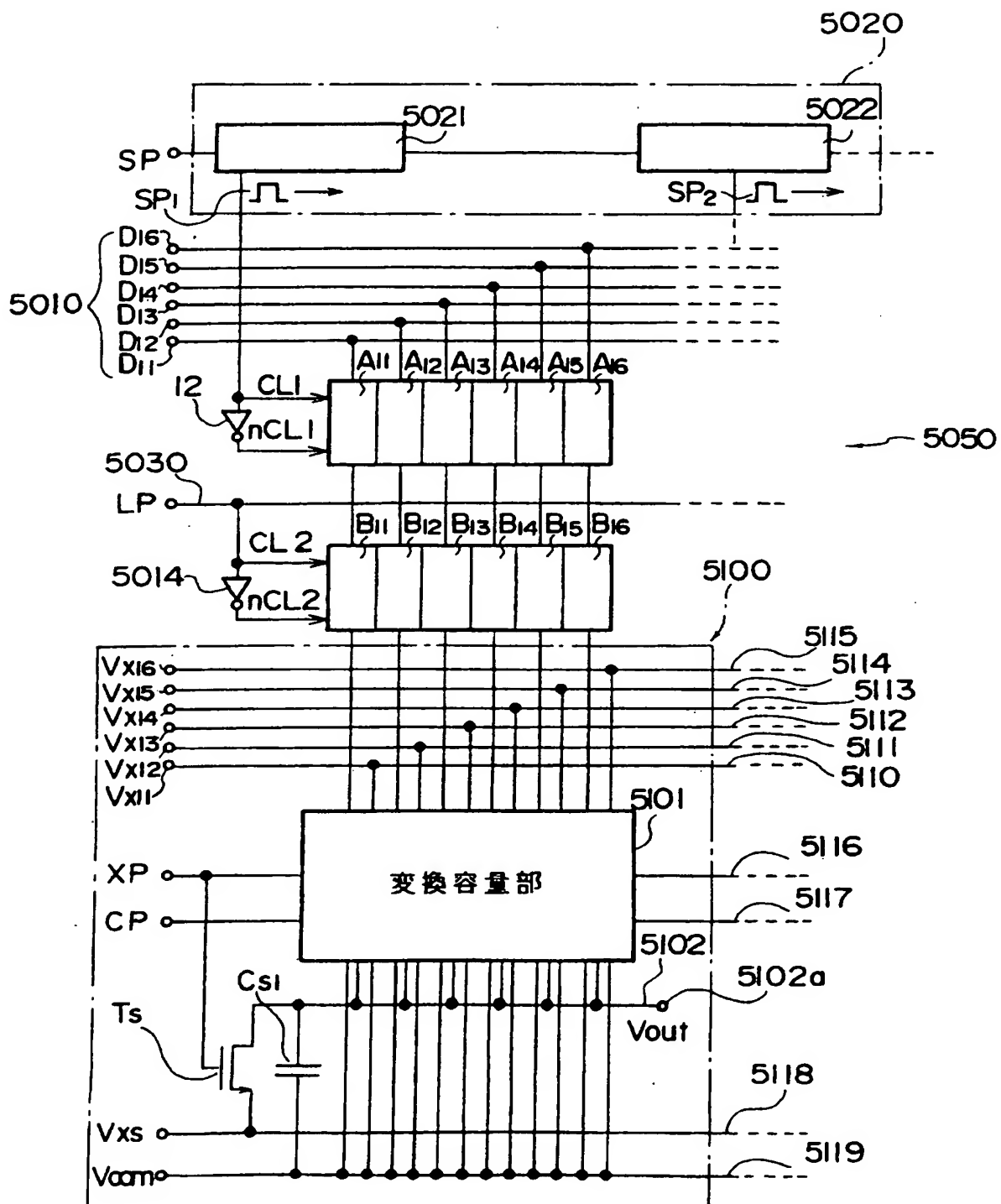


FIG. 26



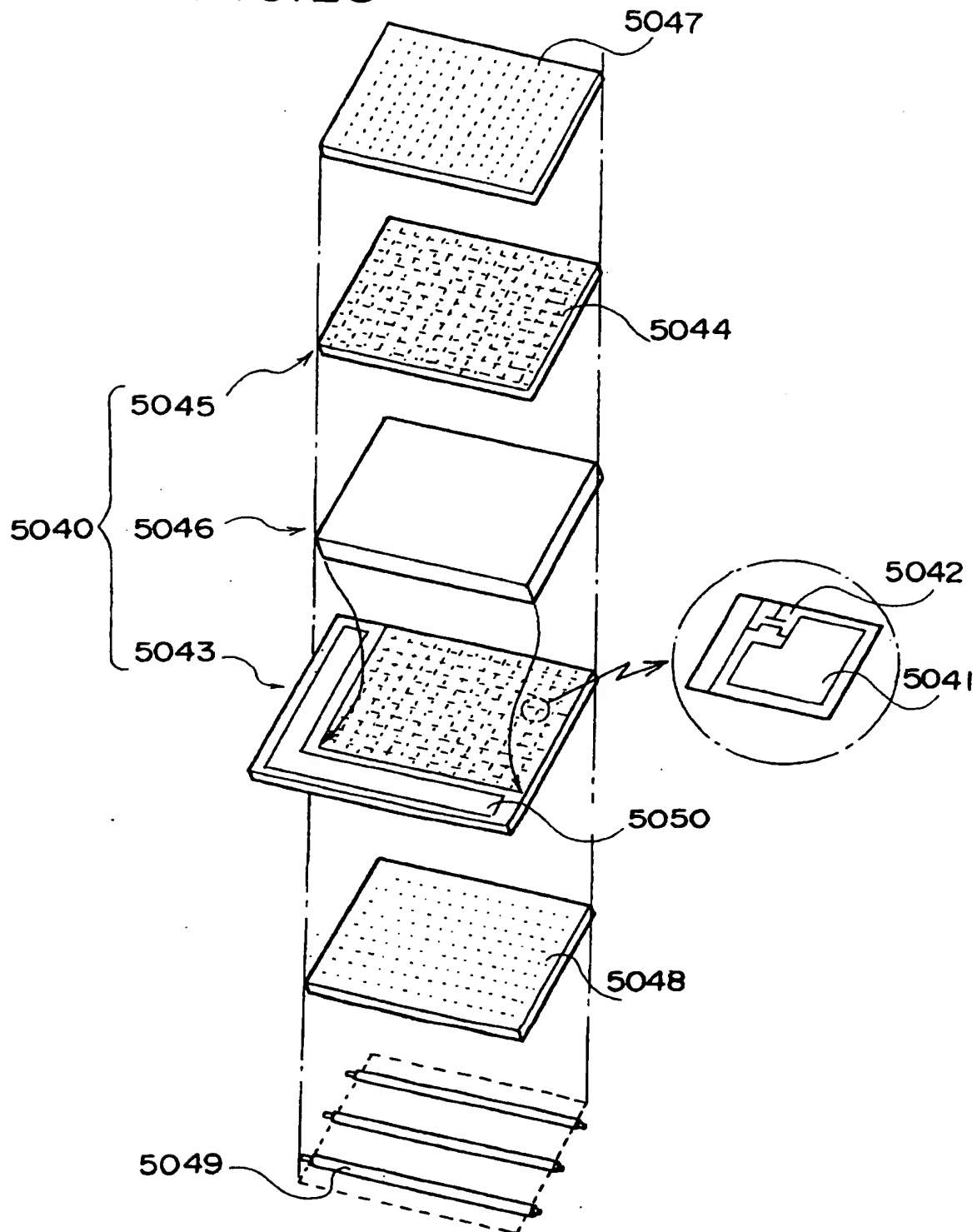
21/69

FIG.27



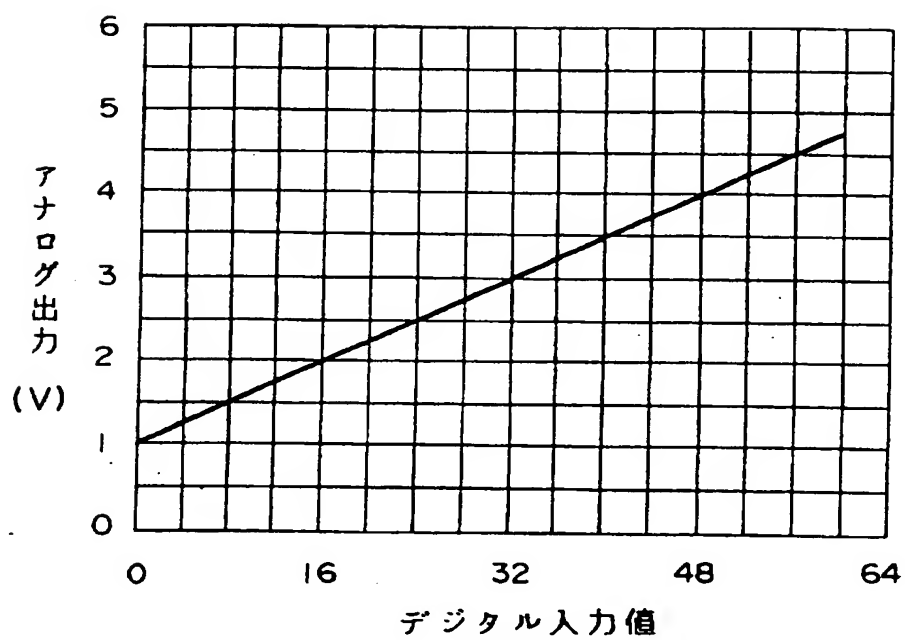
22/69

FIG.28



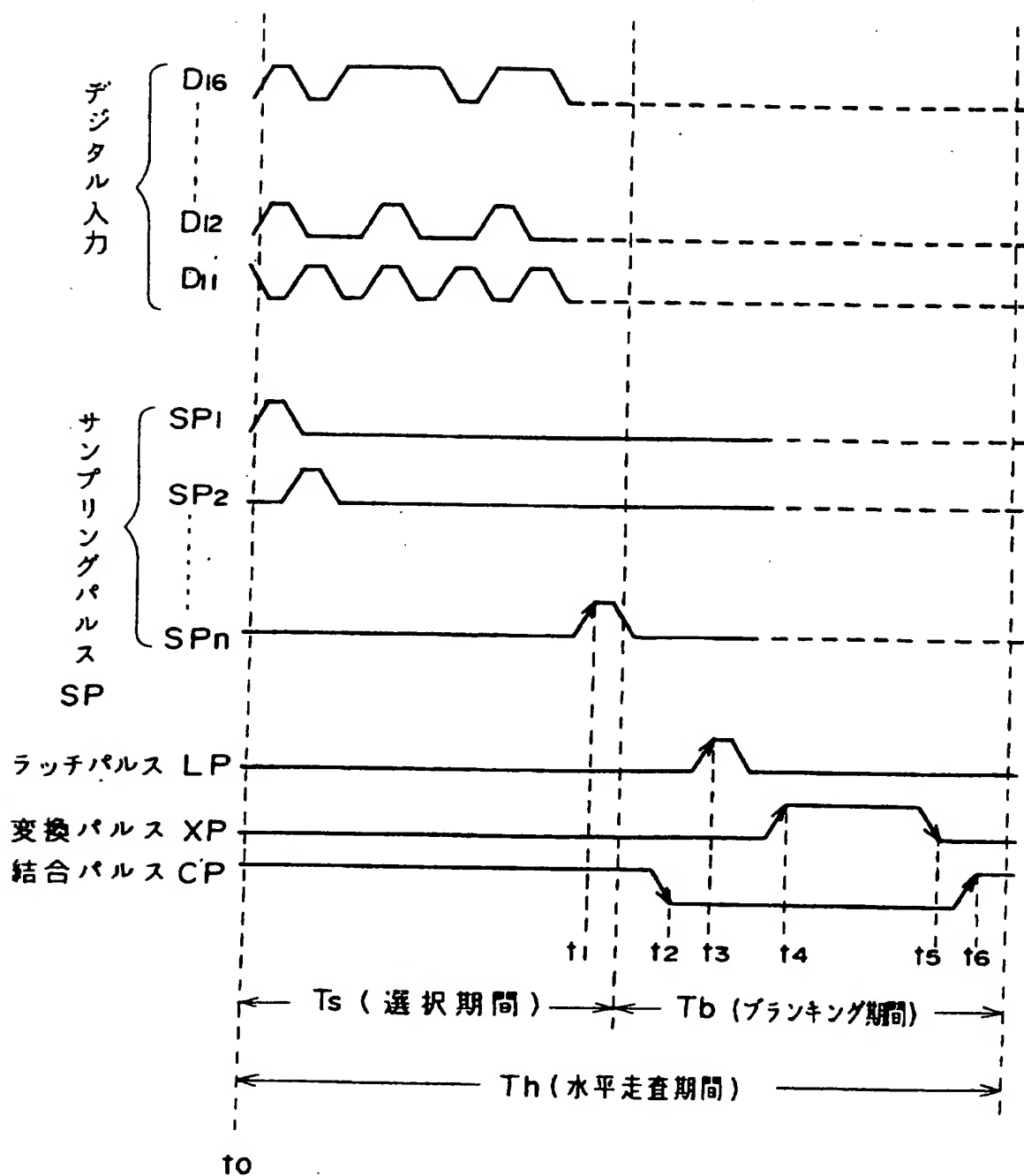
23/69

FIG. 29



24/69

FIG. 30



25/69

FIG. 3IA

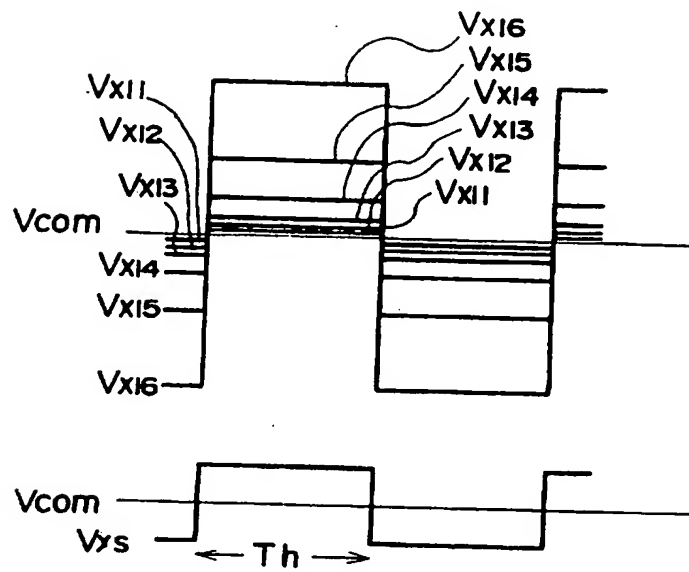


FIG. 3IB

電位 No.	電位 (V)
Vx16	± 16.0
Vx15	± 8.0
Vx14	± 4.0
Vx13	± 2.0
Vx12	± 1.0
Vx11	± 0.5
Vxs	± 4.0

26/69

FIG. 32A

容量 N o.	容量値 (pF)	電位 N o.	電位 (V)
Cx16'	1.1	Vx16'	14.55
Cx15'	0.9	Vx15'	8.889
Cx14'	1.1	Vx14'	3.636
Cx13'	0.9	Vx13'	2.222
Cx12'	1.1	Vx12'	0.9091
Cx11'	0.9	Vx11'	0.5556

FIG. 32B

容量 N o.	容量値 (pF)	電位 N o.	電位 (V)
Cx16''	0.9	Vx16''	16.44
Cx15''	0.9	Vx15''	8.222
Cx14''	0.9	Vx14''	4.111
Cx13''	0.9	Vx13''	2.056
Cx12''	0.9	Vx12''	1.028
Cx11''	0.9	Vx11''	0.5139

27/69

FIG. 33

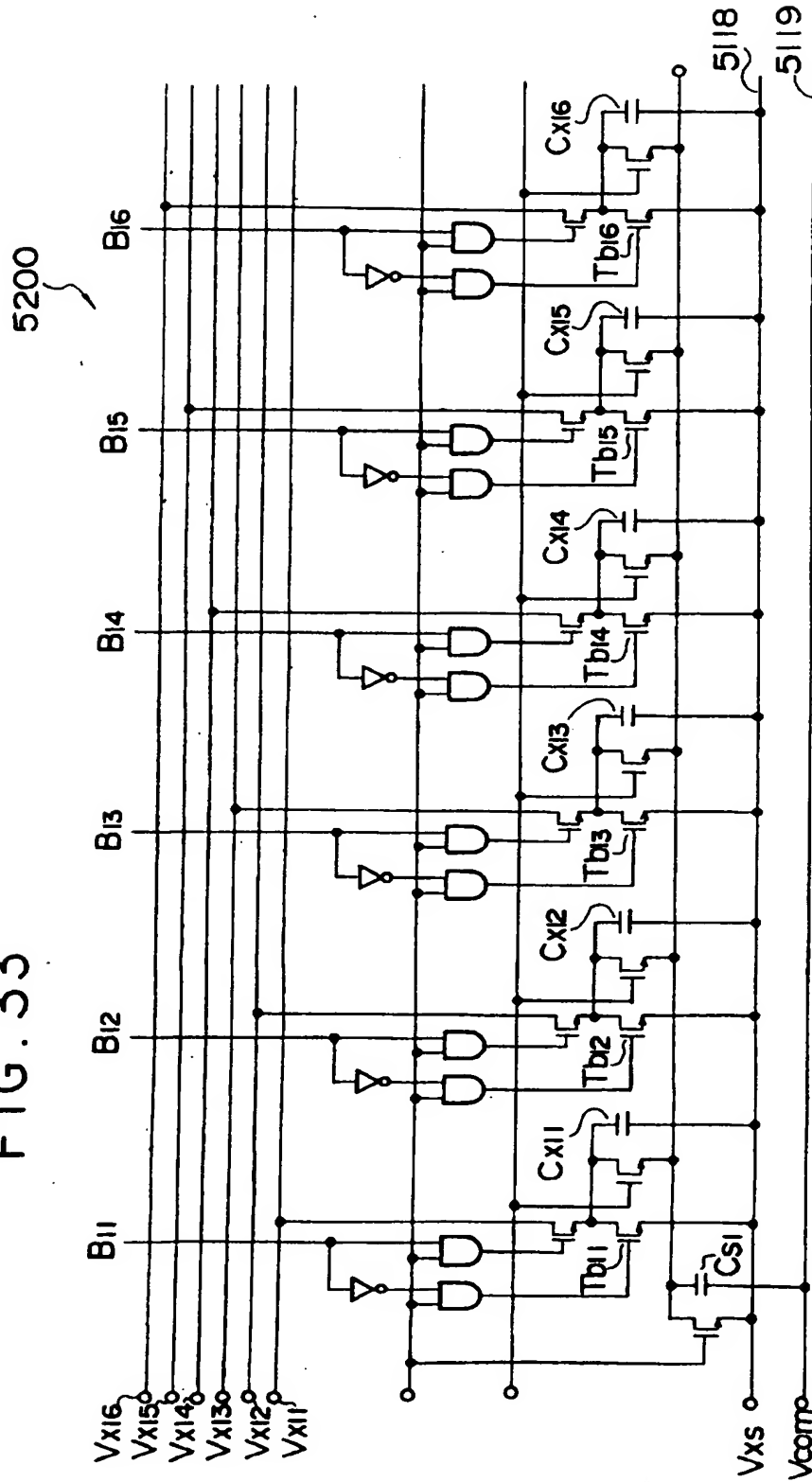
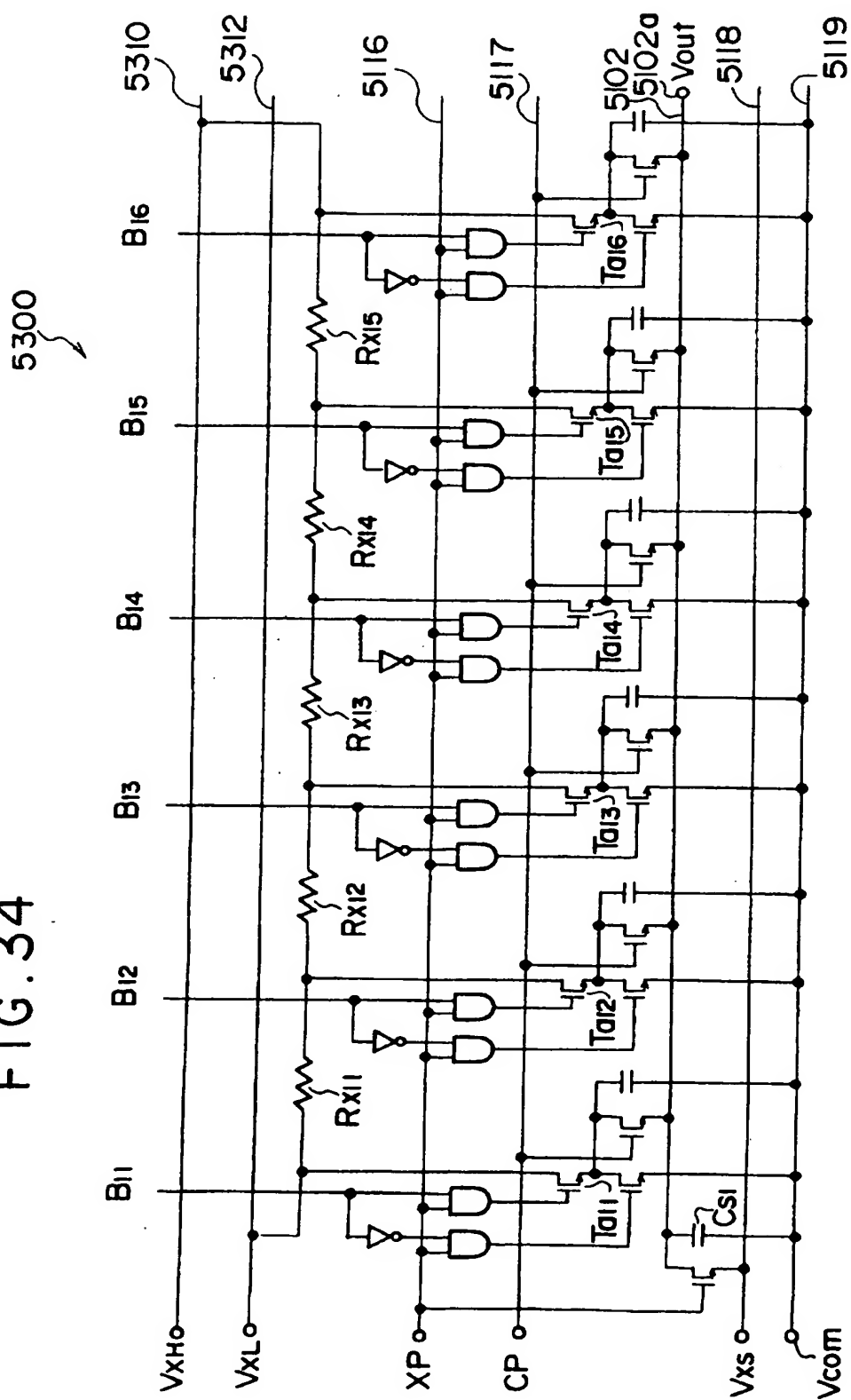
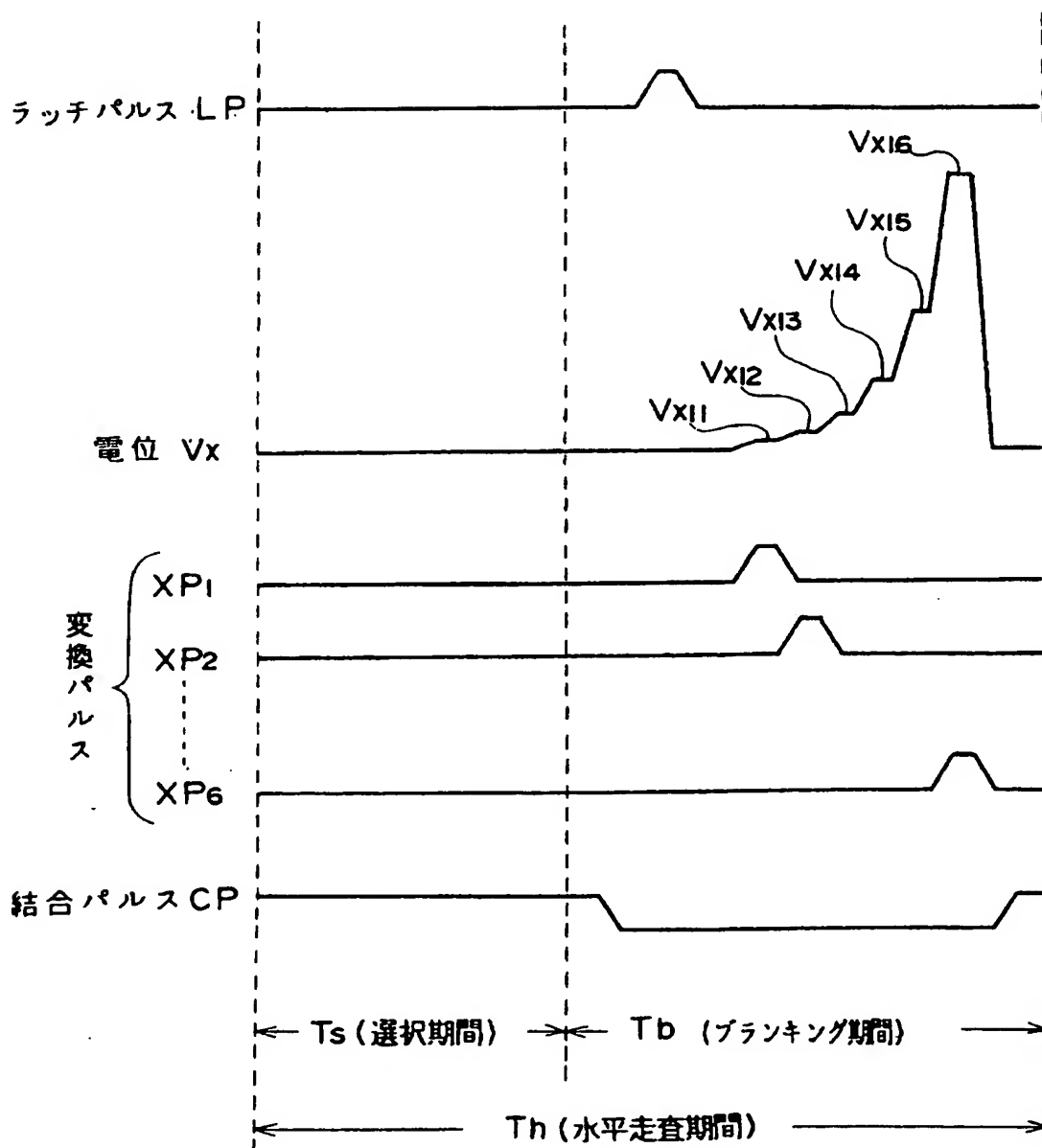


FIG. 34



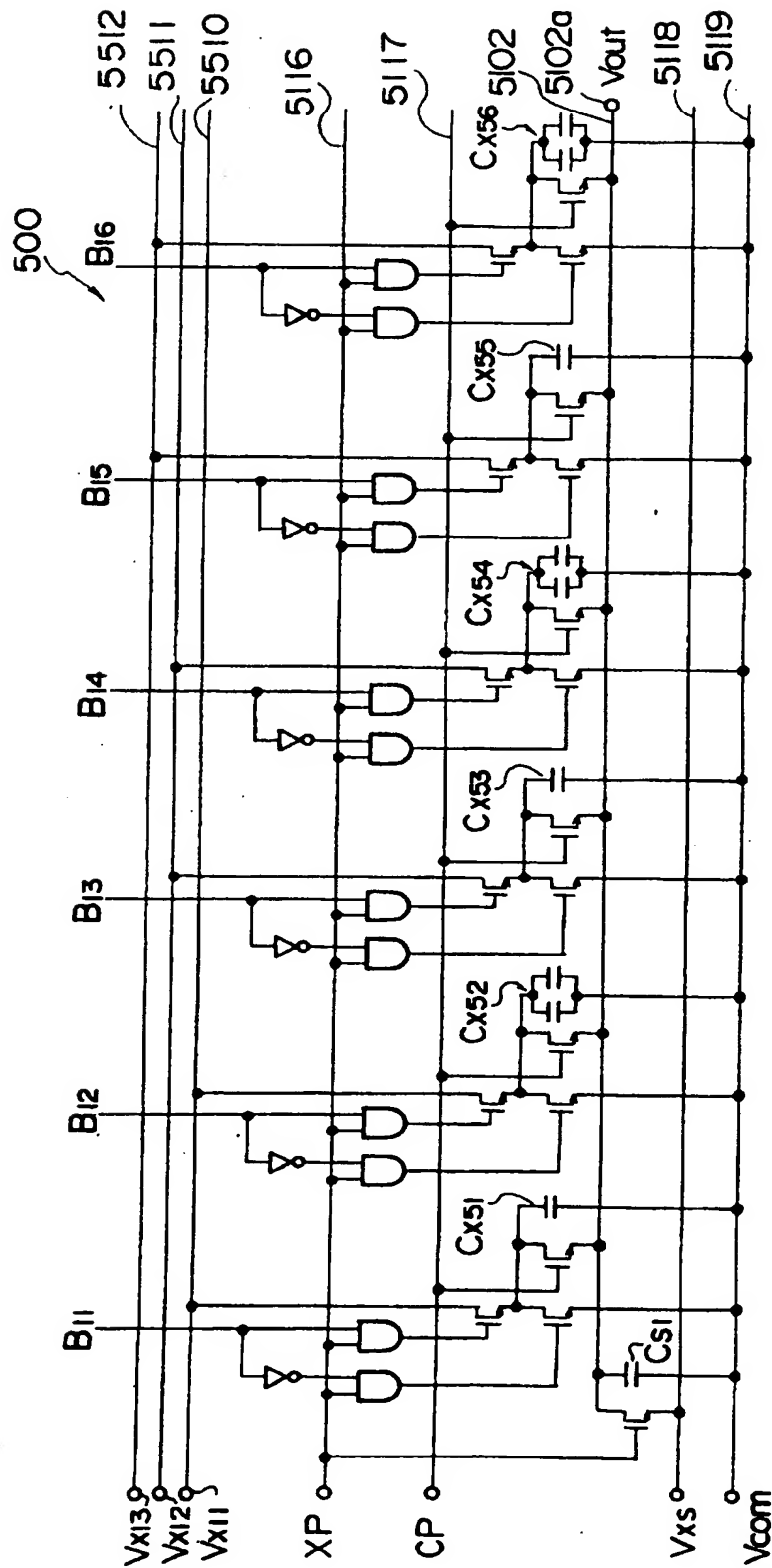
30/69

FIG. 36



31/69

FIG. 37



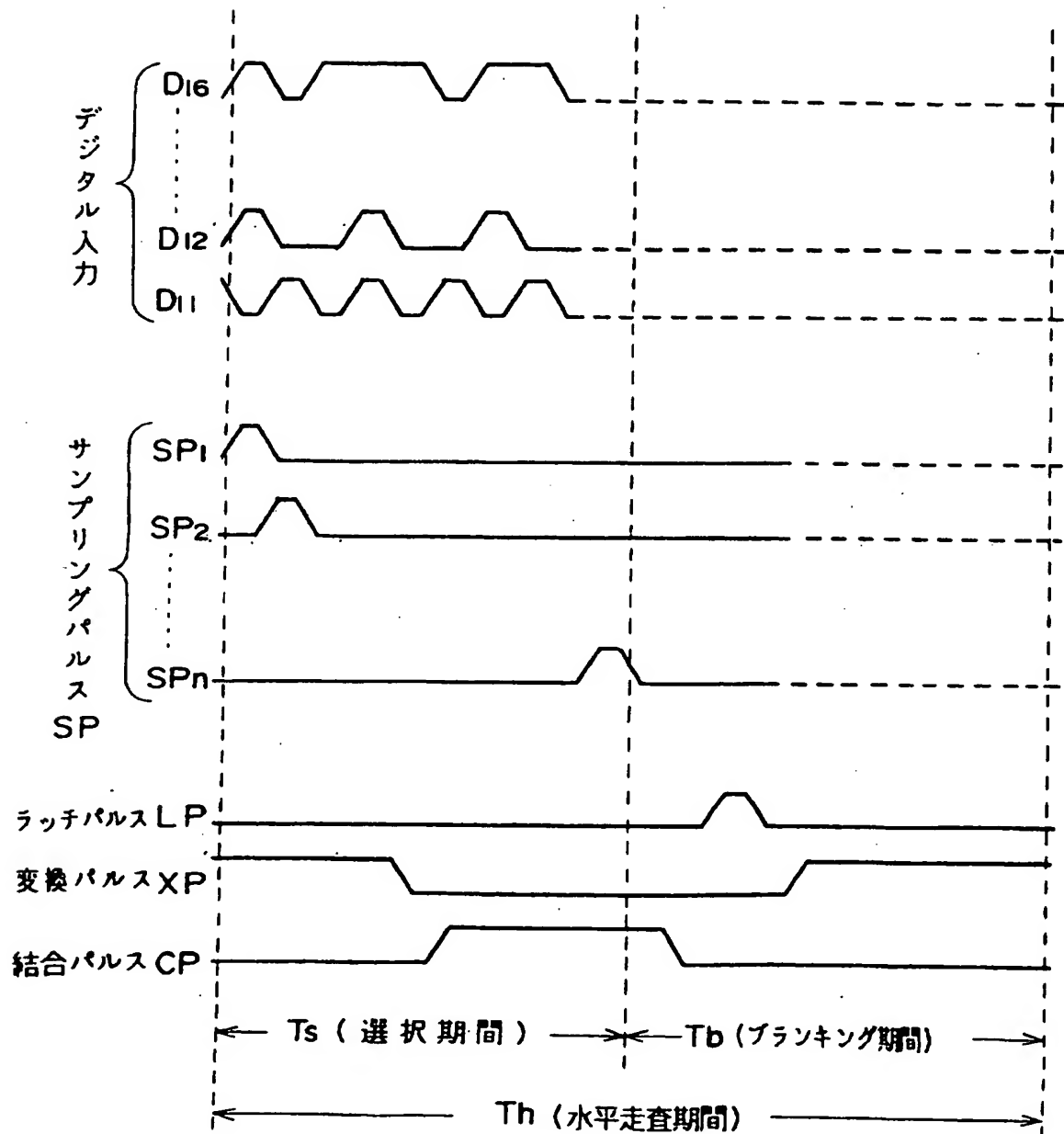
32/69

FIG. 38

容量 No.	容量値 (pF)
Cx56	1.0
Cx55	0.5
Cx54	1.0
Cx53	0.5
Cx52	1.0
Cx51	0.5
Cs1	2.0

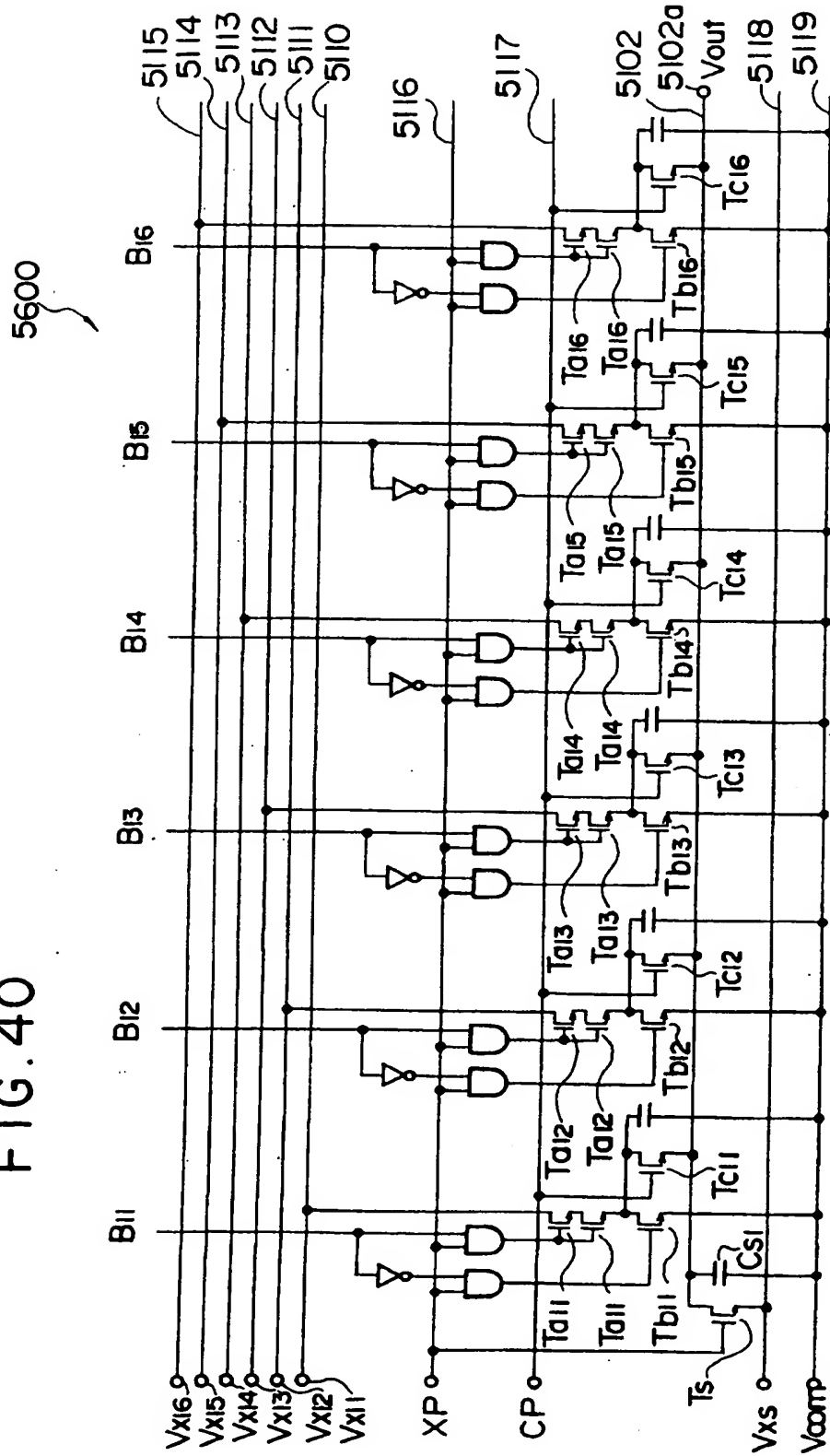
電位 No.	電位 (V)
Vx13	13.0
Vx12	3.25
Vx11	0.8125
Vxs	3.25

FIG. 39



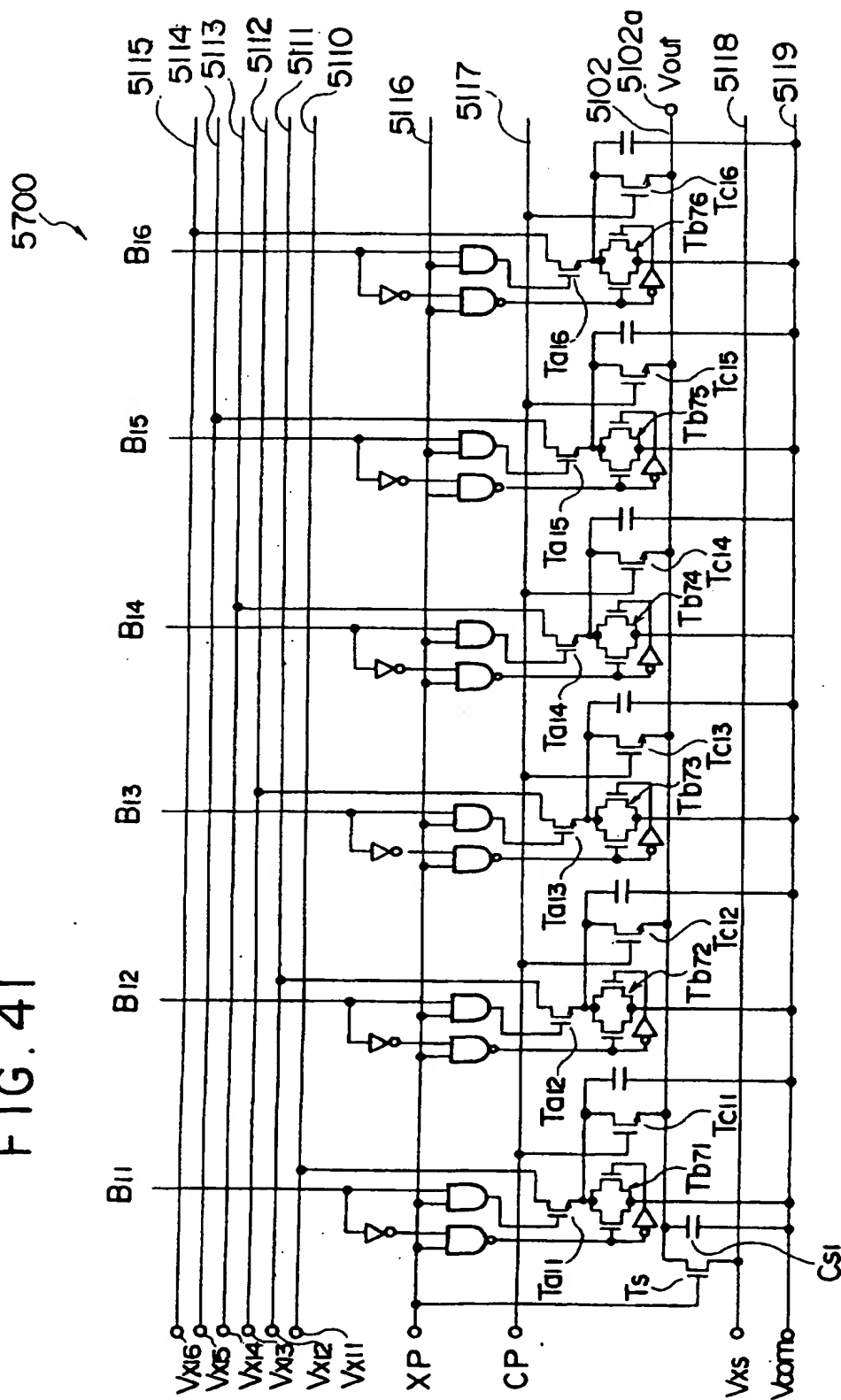
34/69

FIG. 40



35/69

FIG. 41



36/69

FIG. 42A

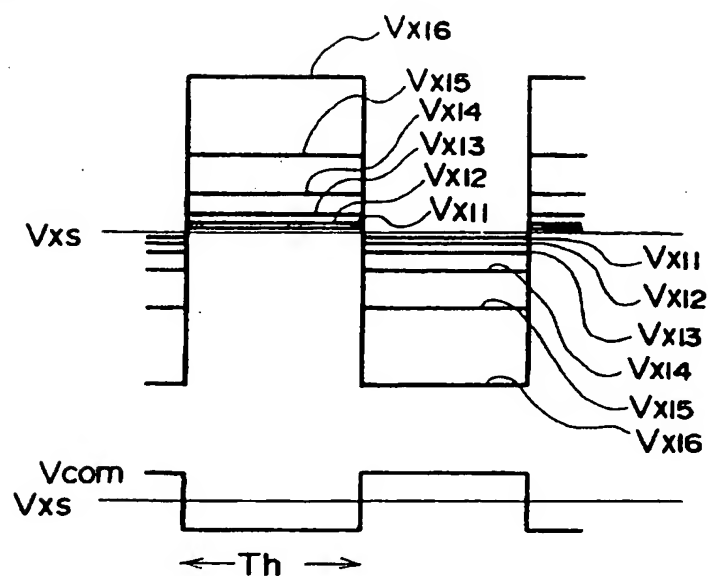


FIG. 42B

電位 No.	電位 (V)
Vx16	± 16.0
Vx15	± 8.0
Vx14	± 4.0
Vx13	± 2.0
Vx12	± 1.0
Vx11	± 0.5
Vcom	∓ 1.0
Vxs	0

37/69

FIG. 43A

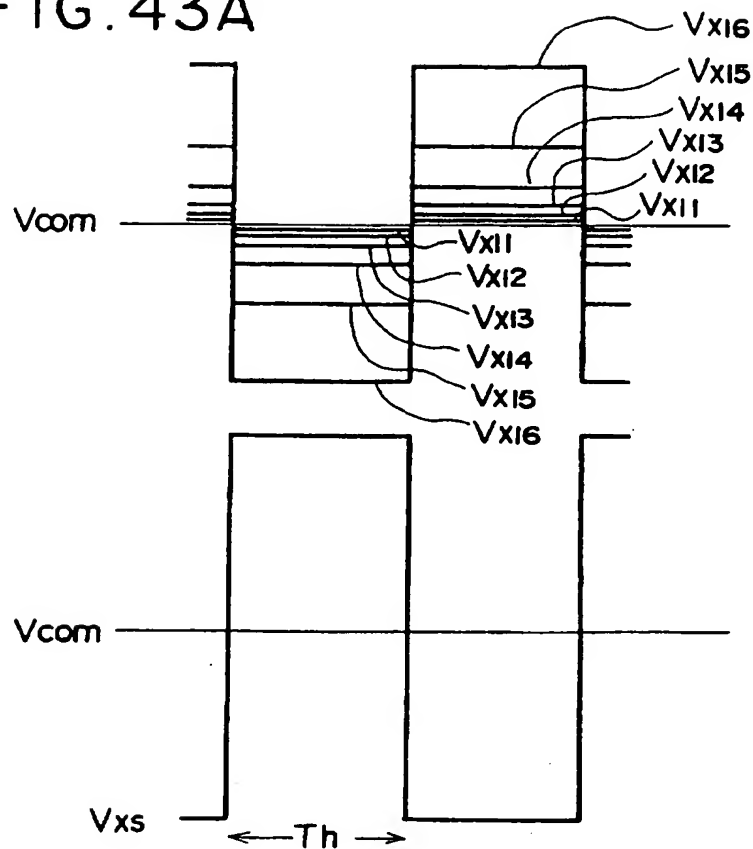
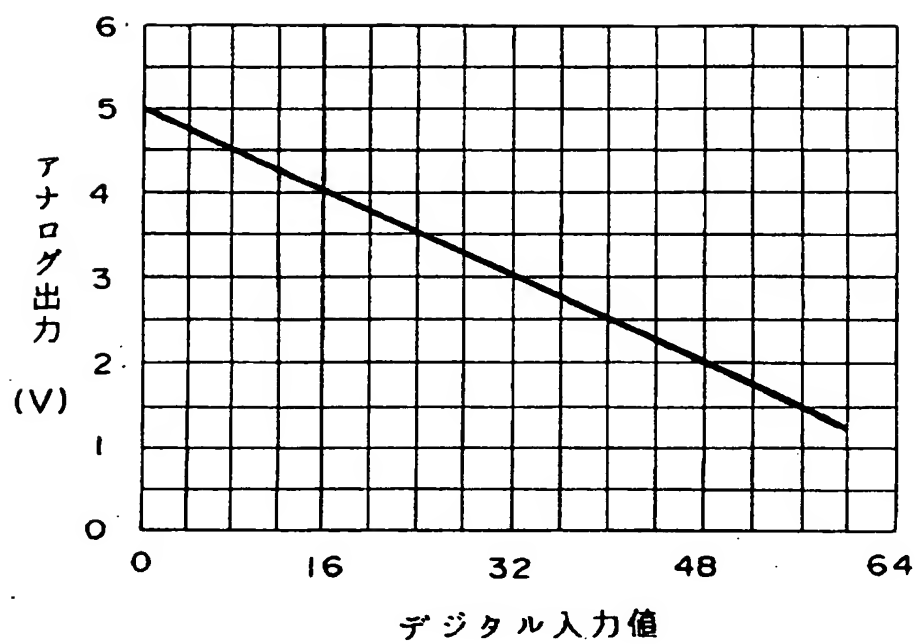


FIG. 43B

電位 No.	電位 (V)
Vx16	± 16.0
Vx15	± 8.0
Vx14	± 4.0
Vx13	± 2.0
Vx12	± 1.0
Vx11	± 0.5
Vxs	± 20.0
Vcom	0

38/69

FIG. 44



39/69

FIG. 45A

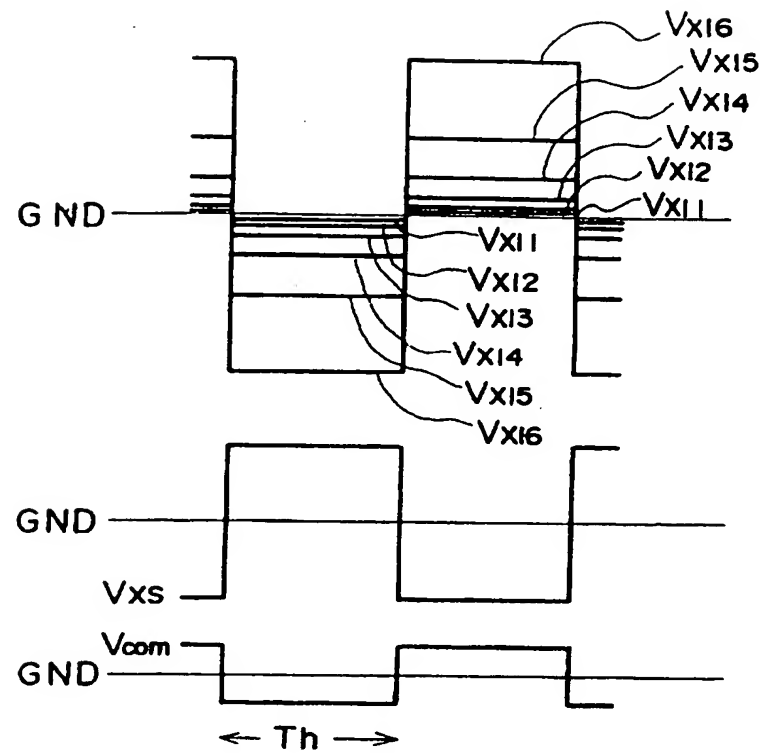


FIG. 45B

電位 N o.	電位 (V)
Vx16	± 16.0
Vx15	± 8.0
Vx14	± 4.0
Vx13	± 2.0
Vx12	± 1.0
Vx11	± 0.5
Vxs	± 8.0
Vcom	± 3.0

FIG. 46A

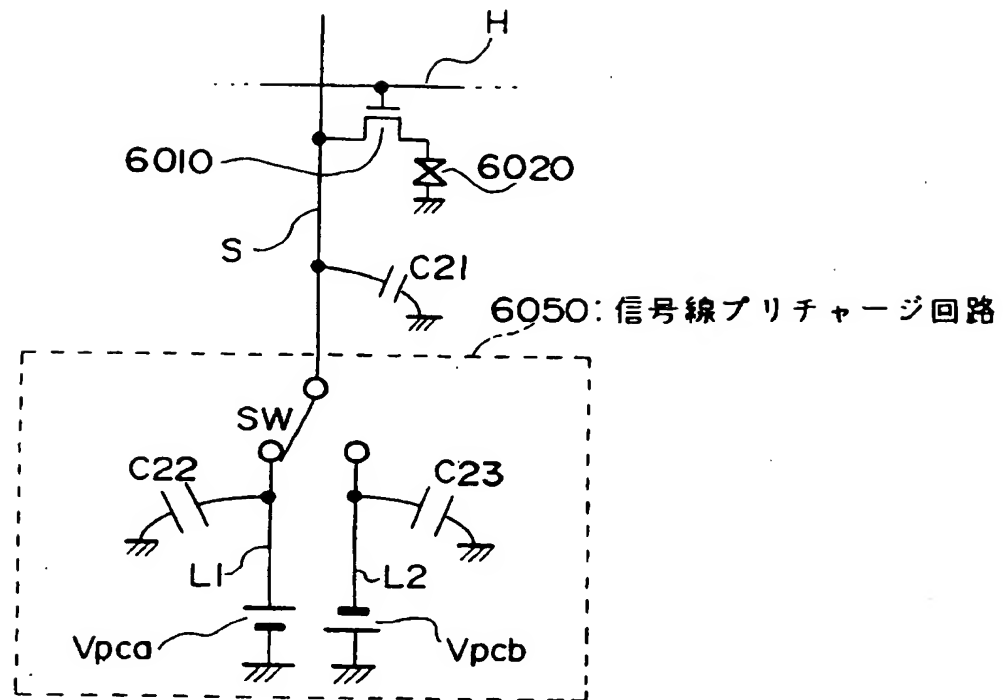


FIG. 46B

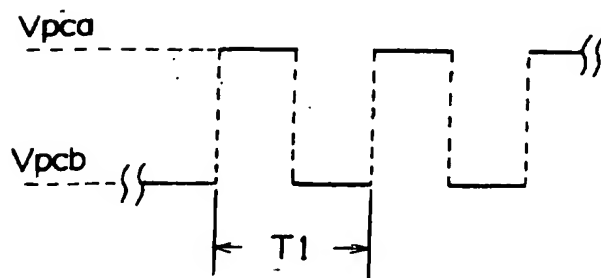


FIG. 46C

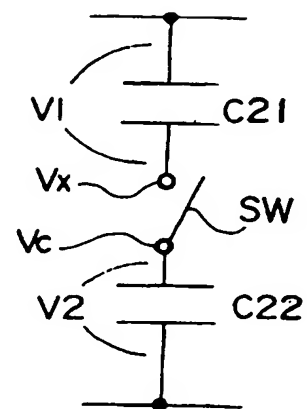


FIG. 47A

	S1	S2	S3
H1	+	+	+
H2	—	—	—
H3	+	+	+

FIG. 47B

	S1	S2	S3
H1	+	—	+
H2	—	+	—
H3	+	—	+

42/69

FIG. 48

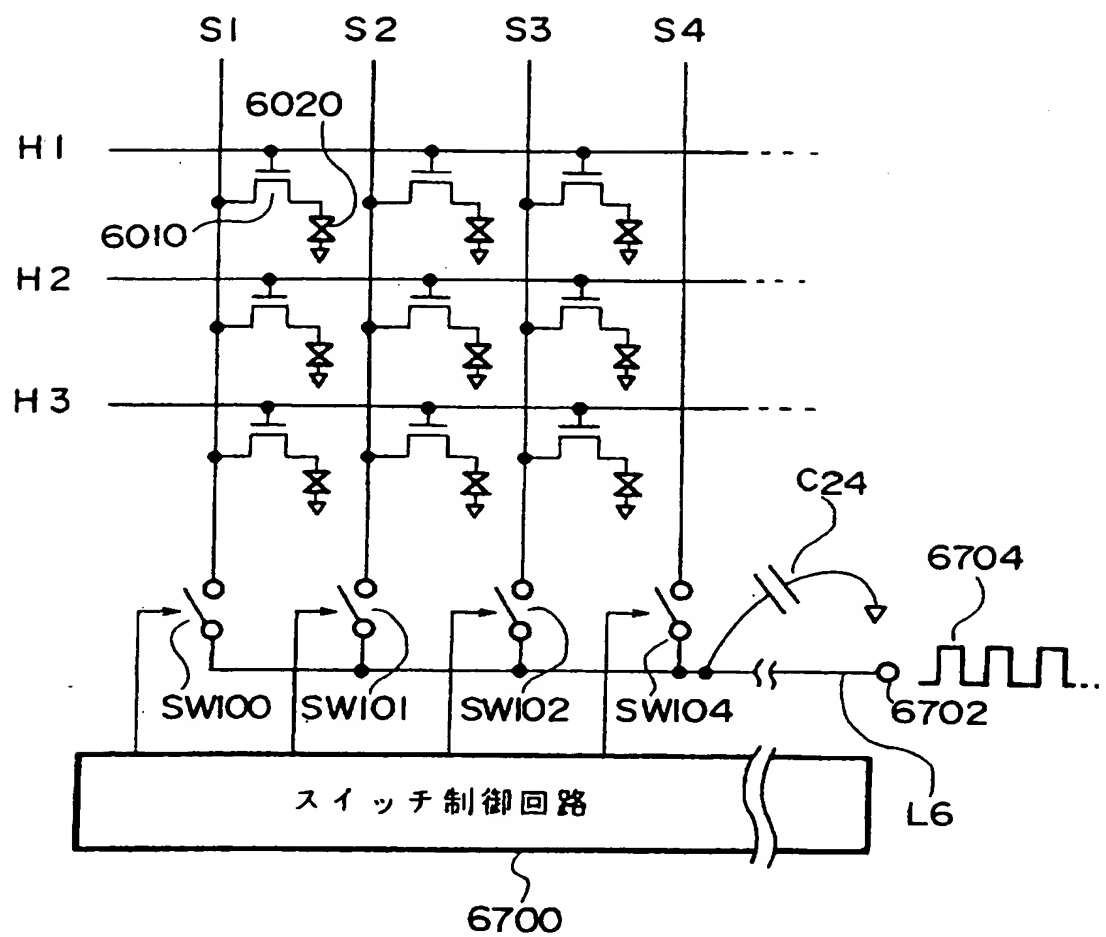
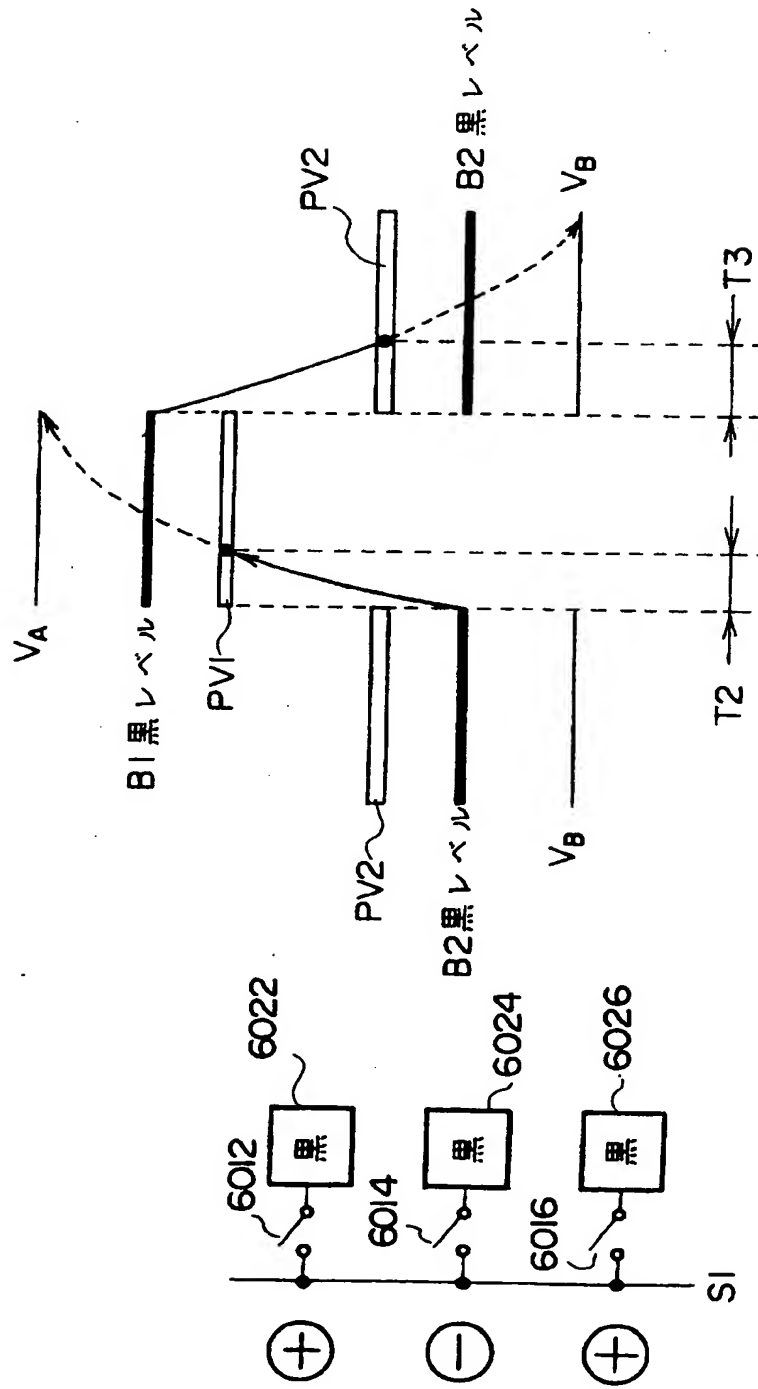


FIG. 49A

FIG. 49B



V_A : 高レベルプリチャージ用電源電圧

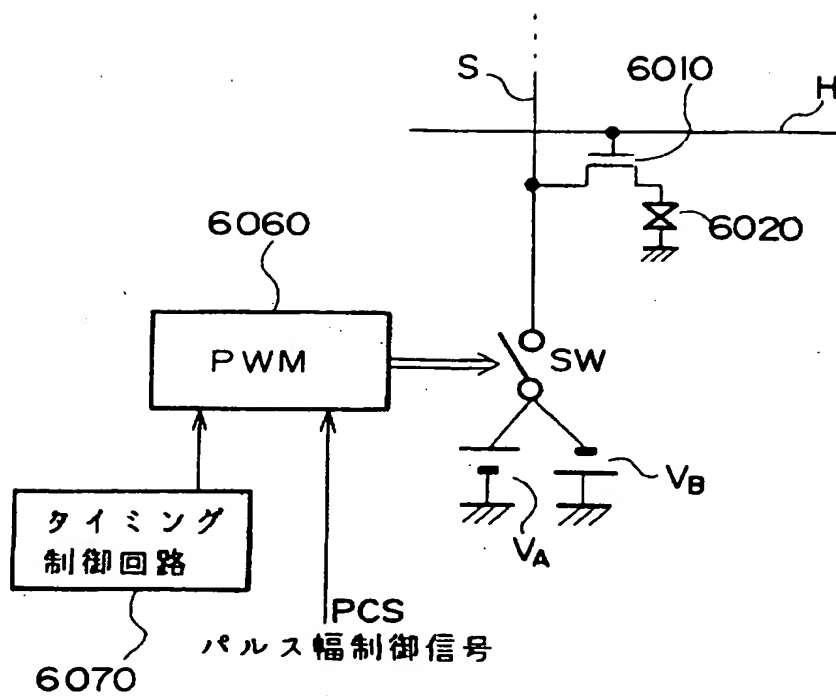
V_B : 低レベルプリチャージ用電源電圧

PV1 : 高レベルプリチャージ電位

PV2 : 低レベルプリチャージ電位

44/69

FIG. 50



45/69

FIG. 51

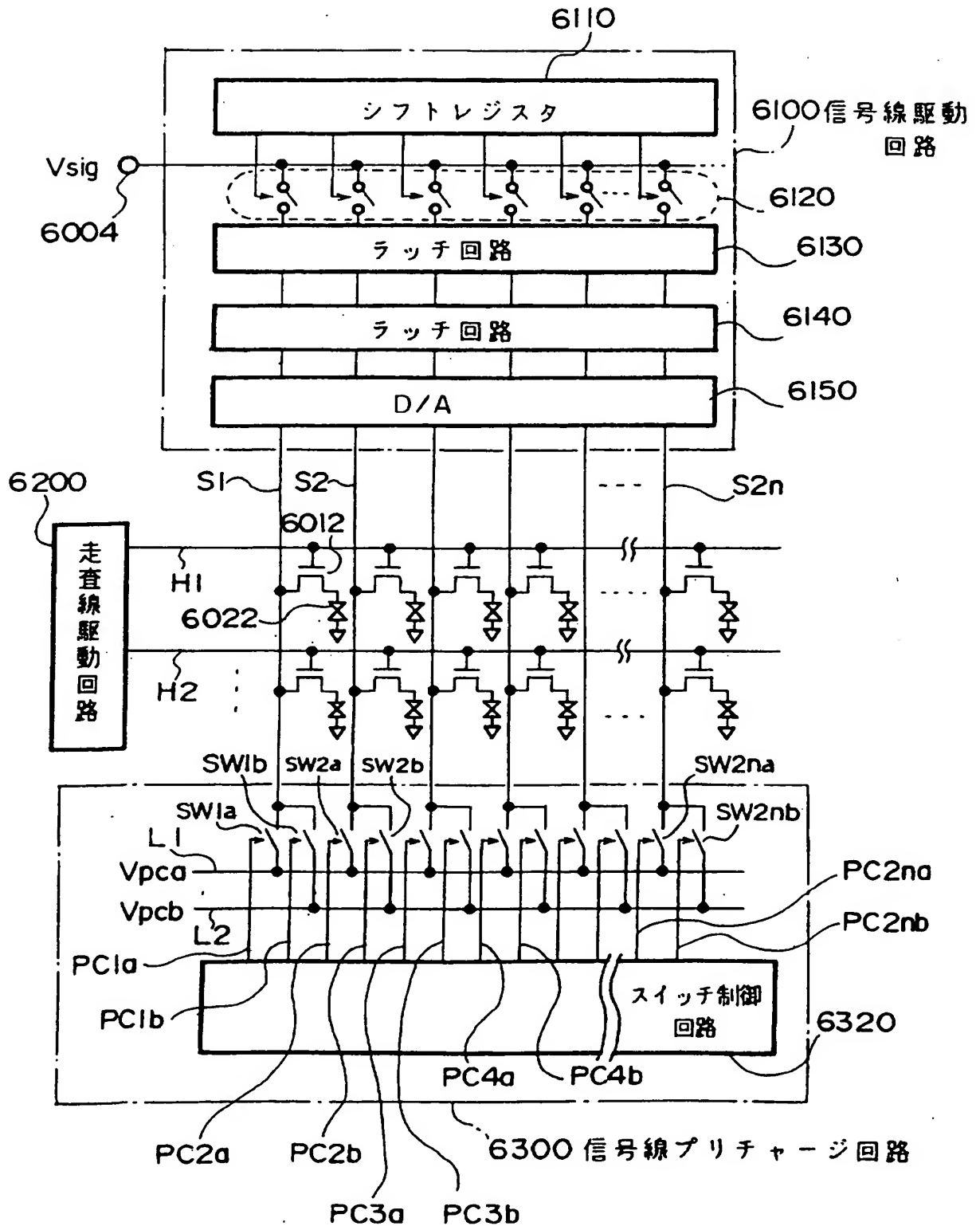
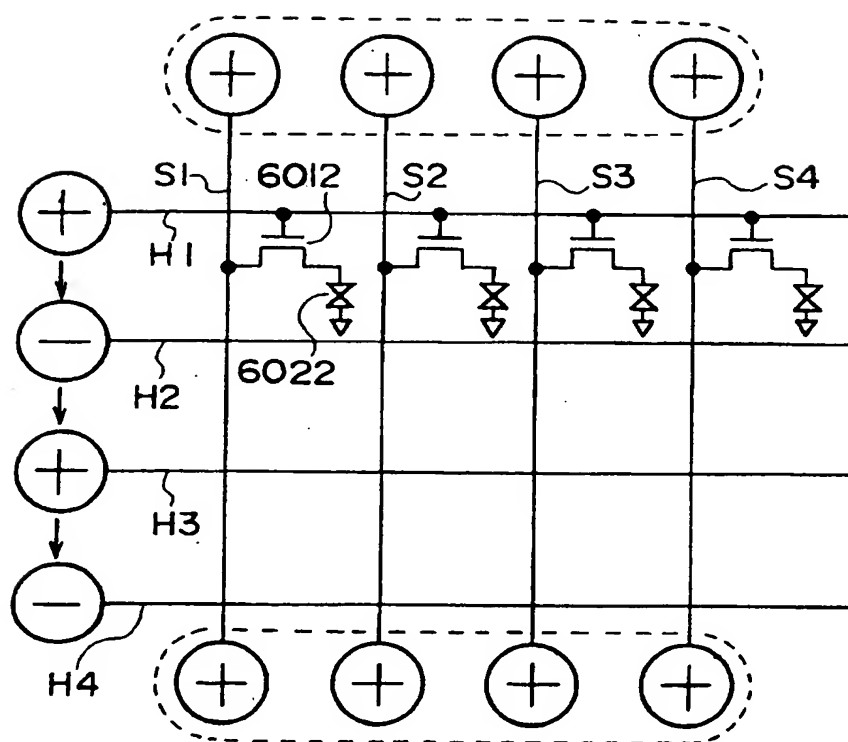
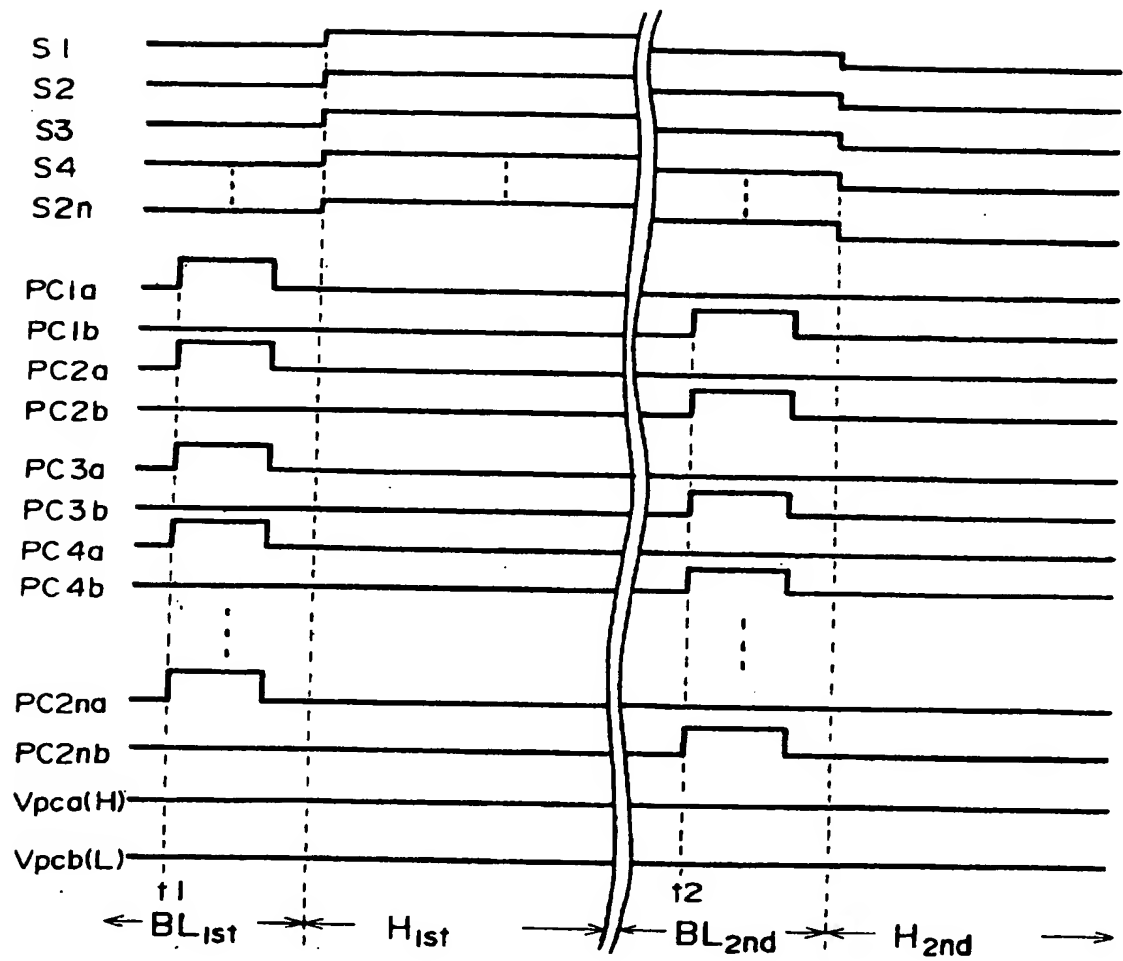


FIG. 52



47/69

FIG. 53



BL1st : 1 番目のブラッキング期間

H1st : 1 番目の水平選択期間

BL2nd : 2 番目のブラッキング期間

H2nd : 2 番目の水平選択期間

FIG. 54

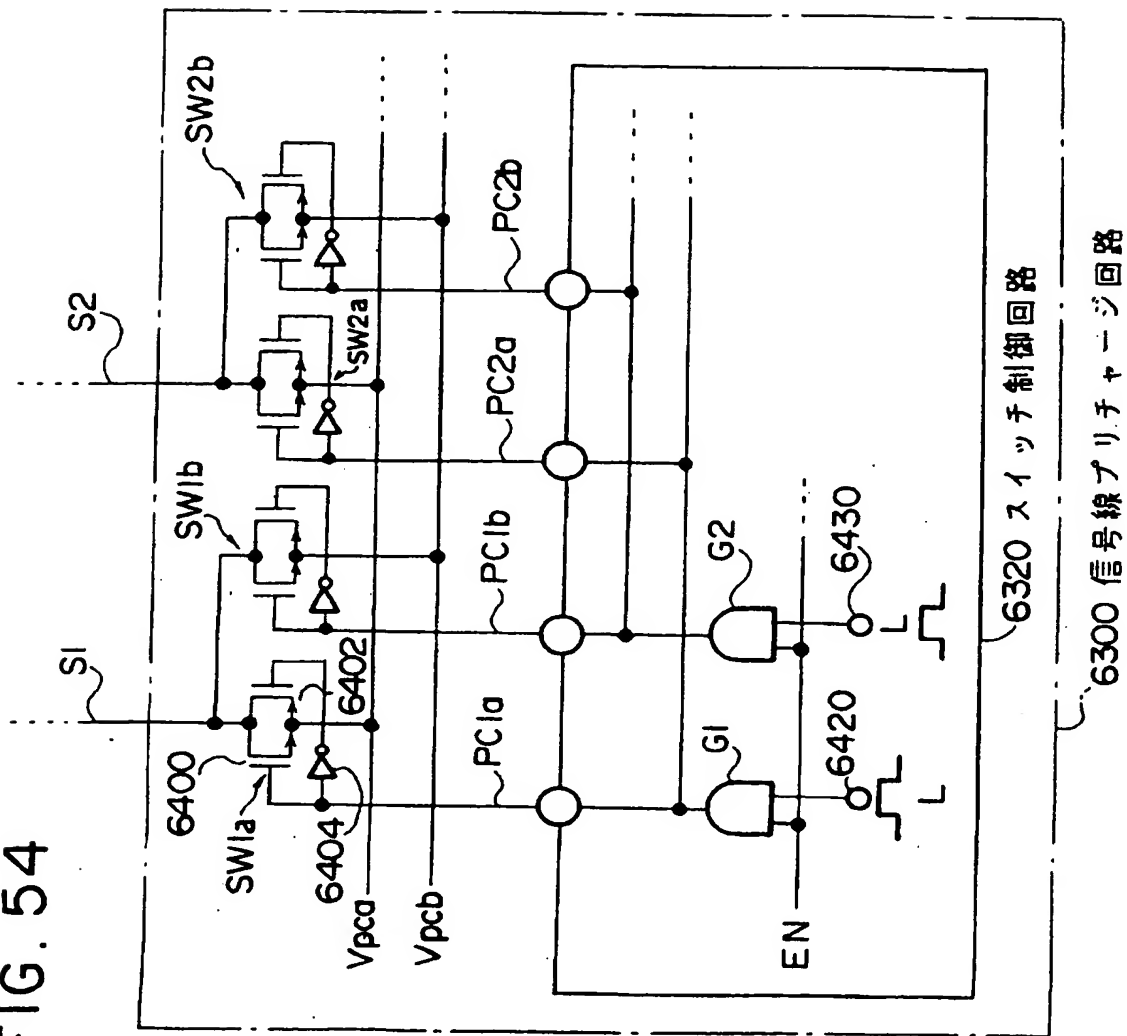


FIG. 55

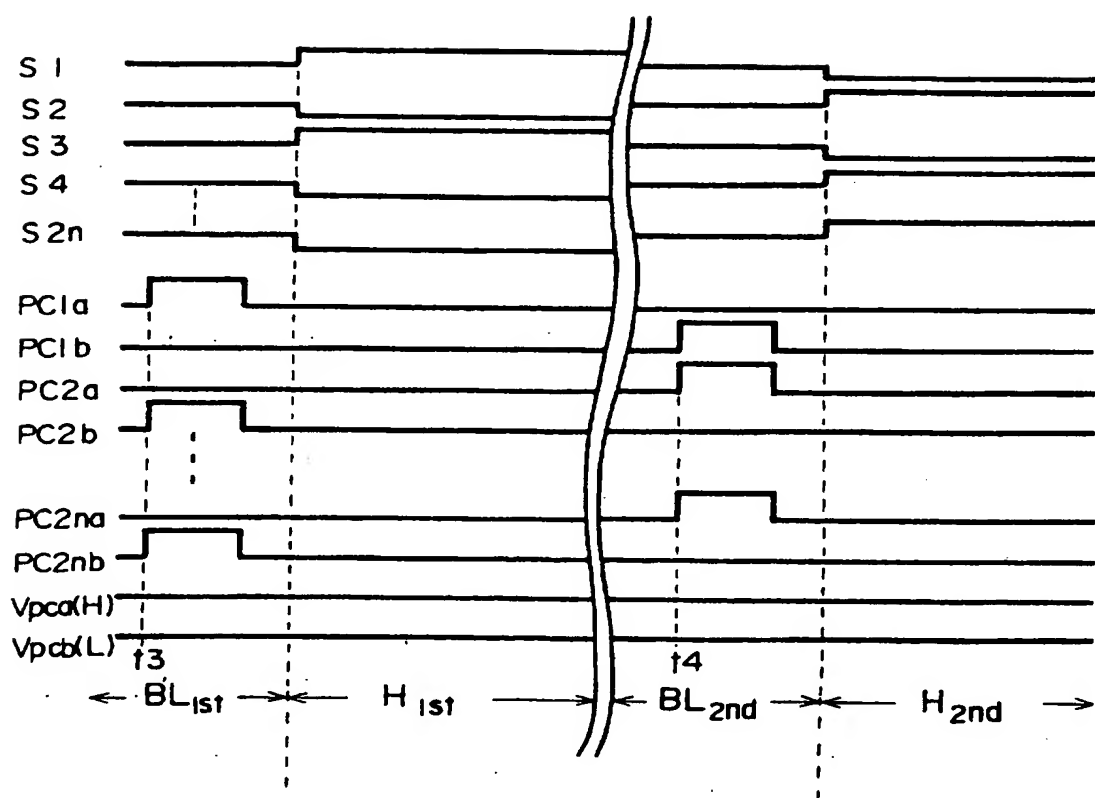


FIG. 56

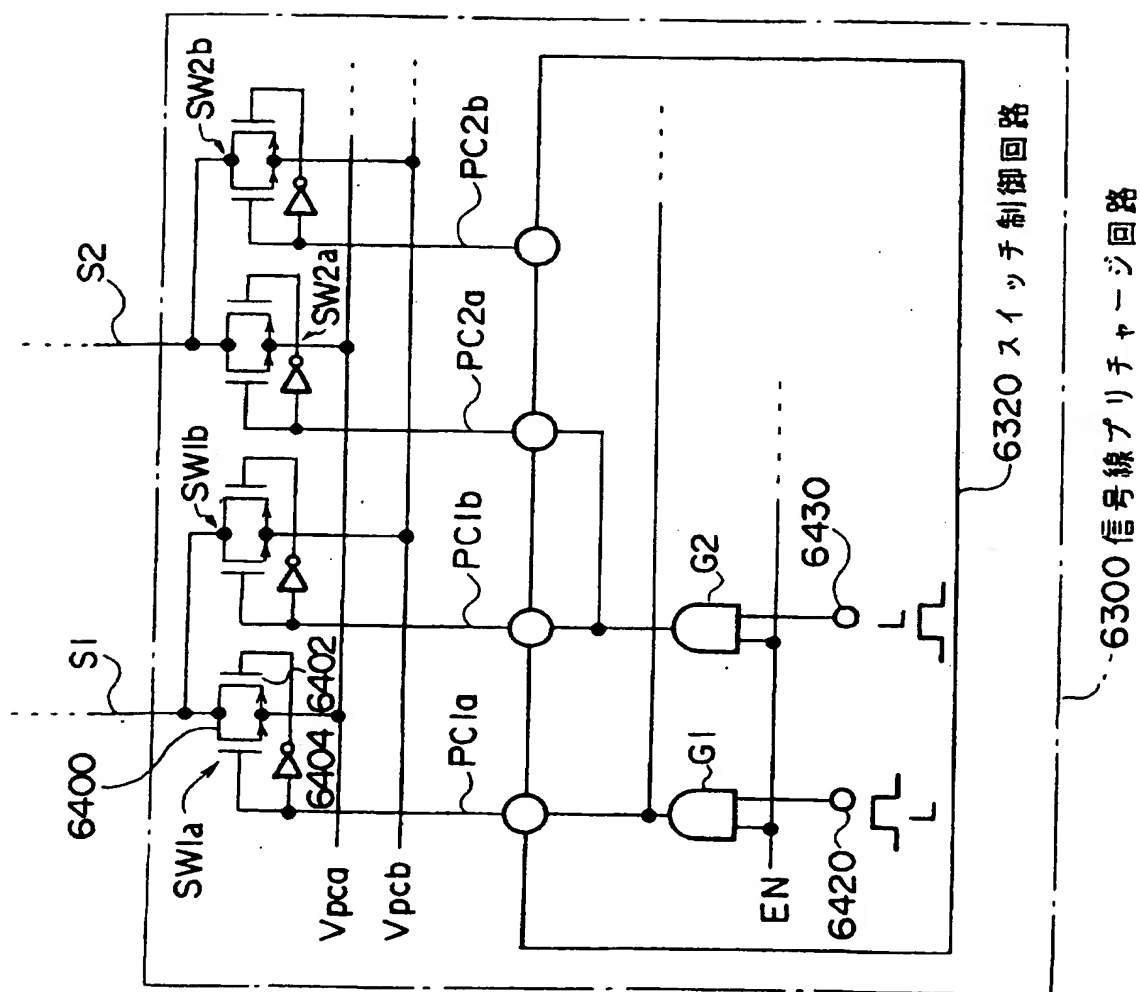


FIG. 57

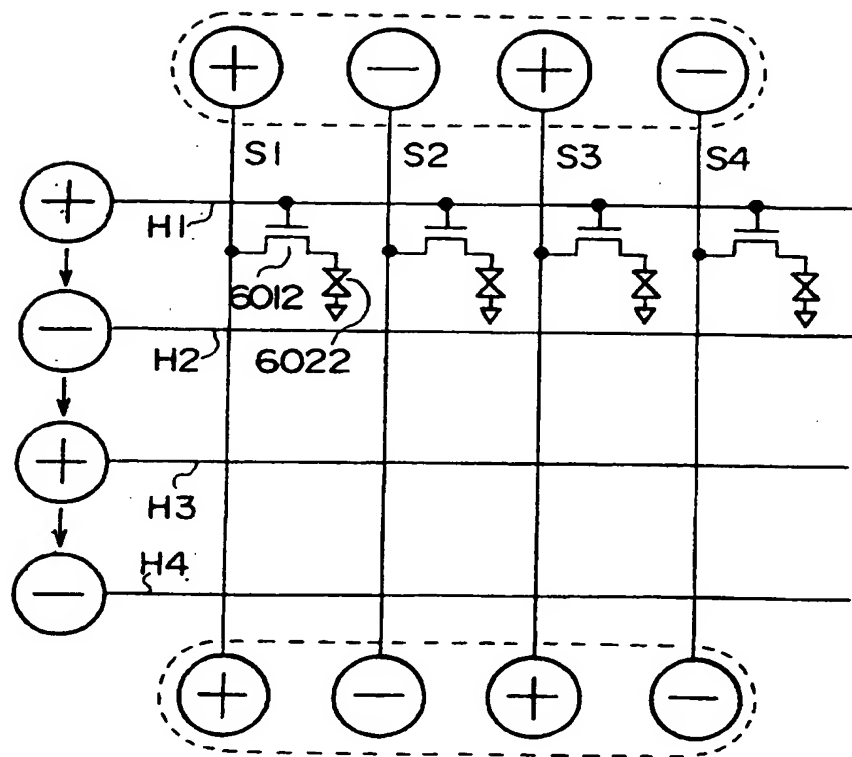
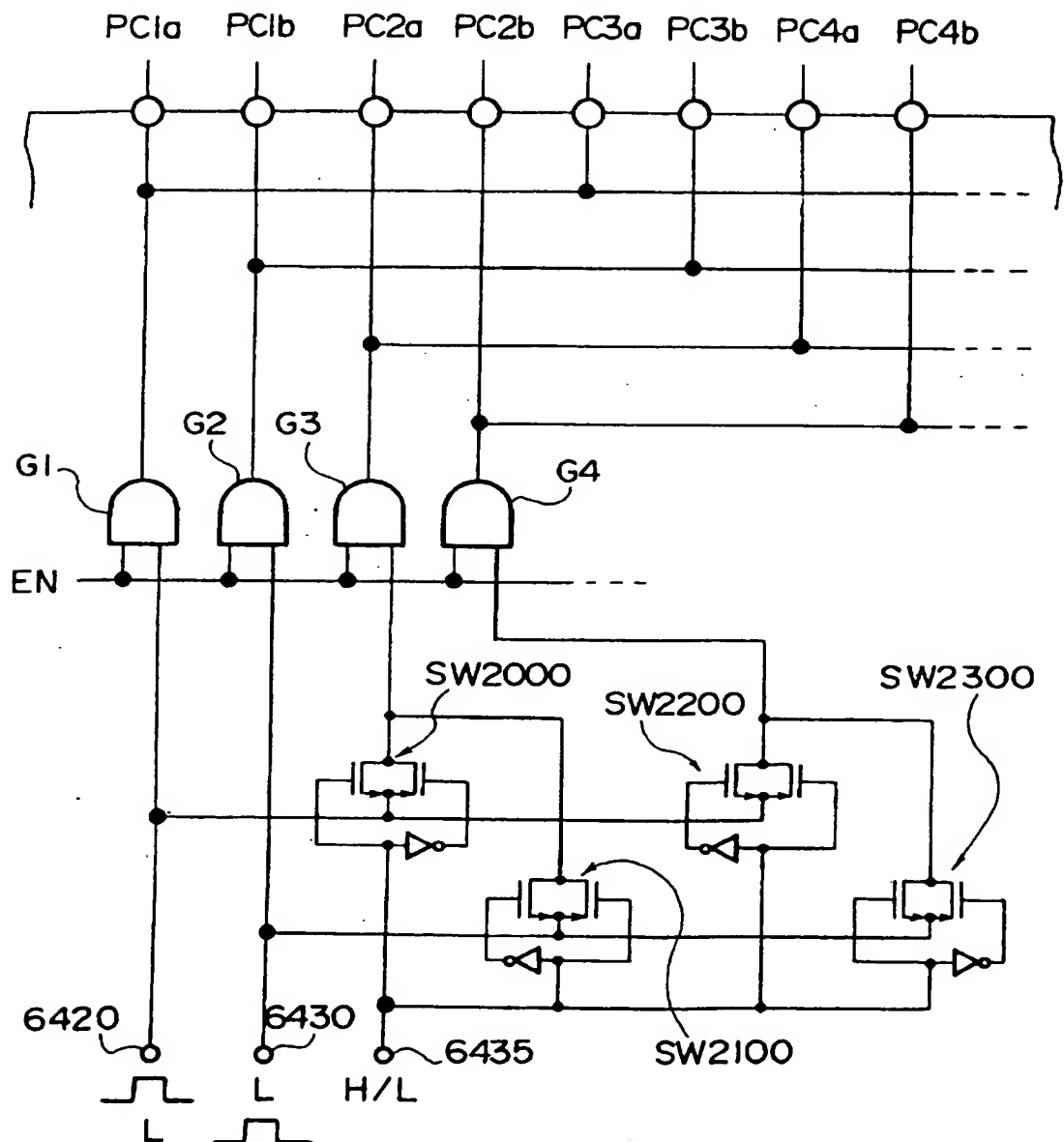
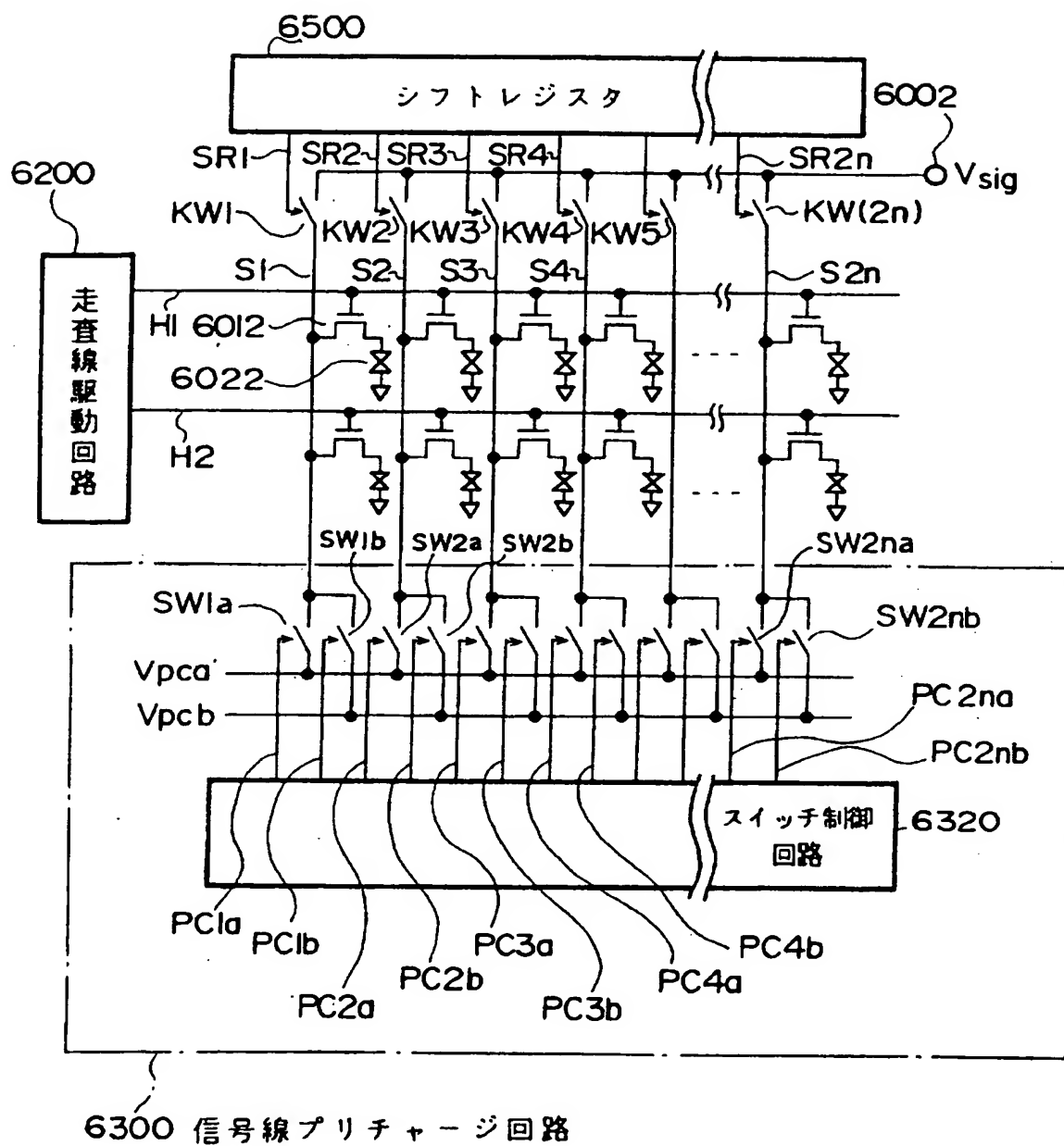


FIG. 58



53/69

FIG. 59



54/69

FIG. 60

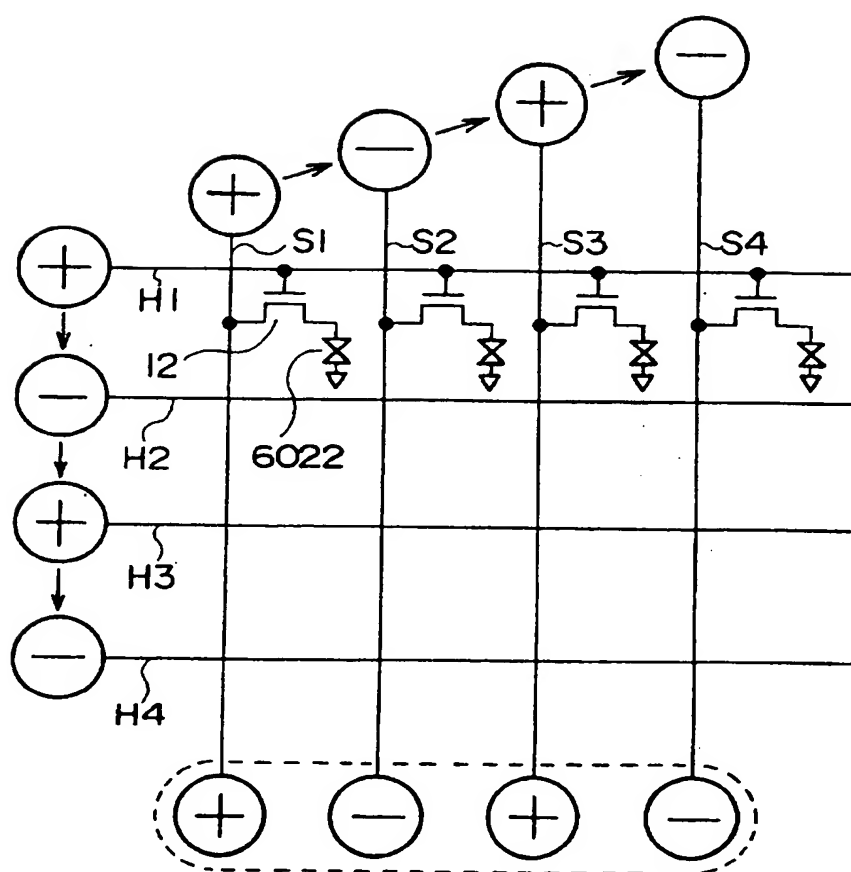
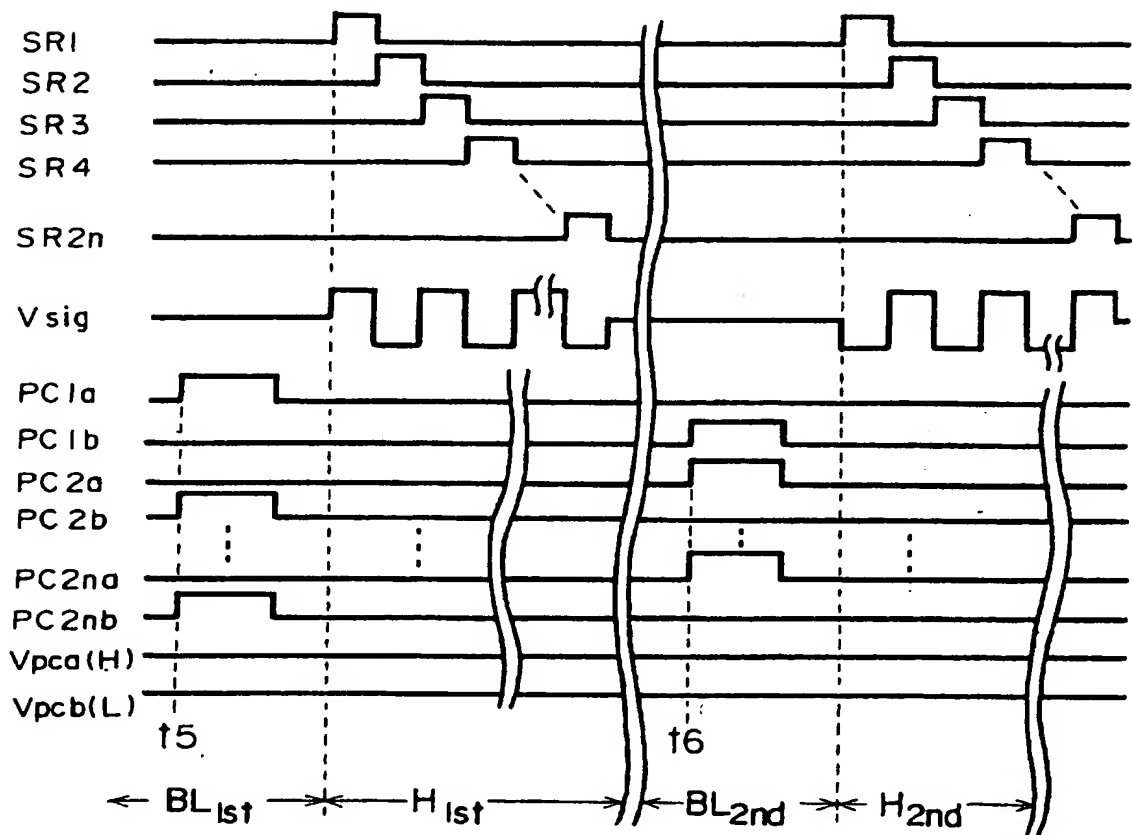
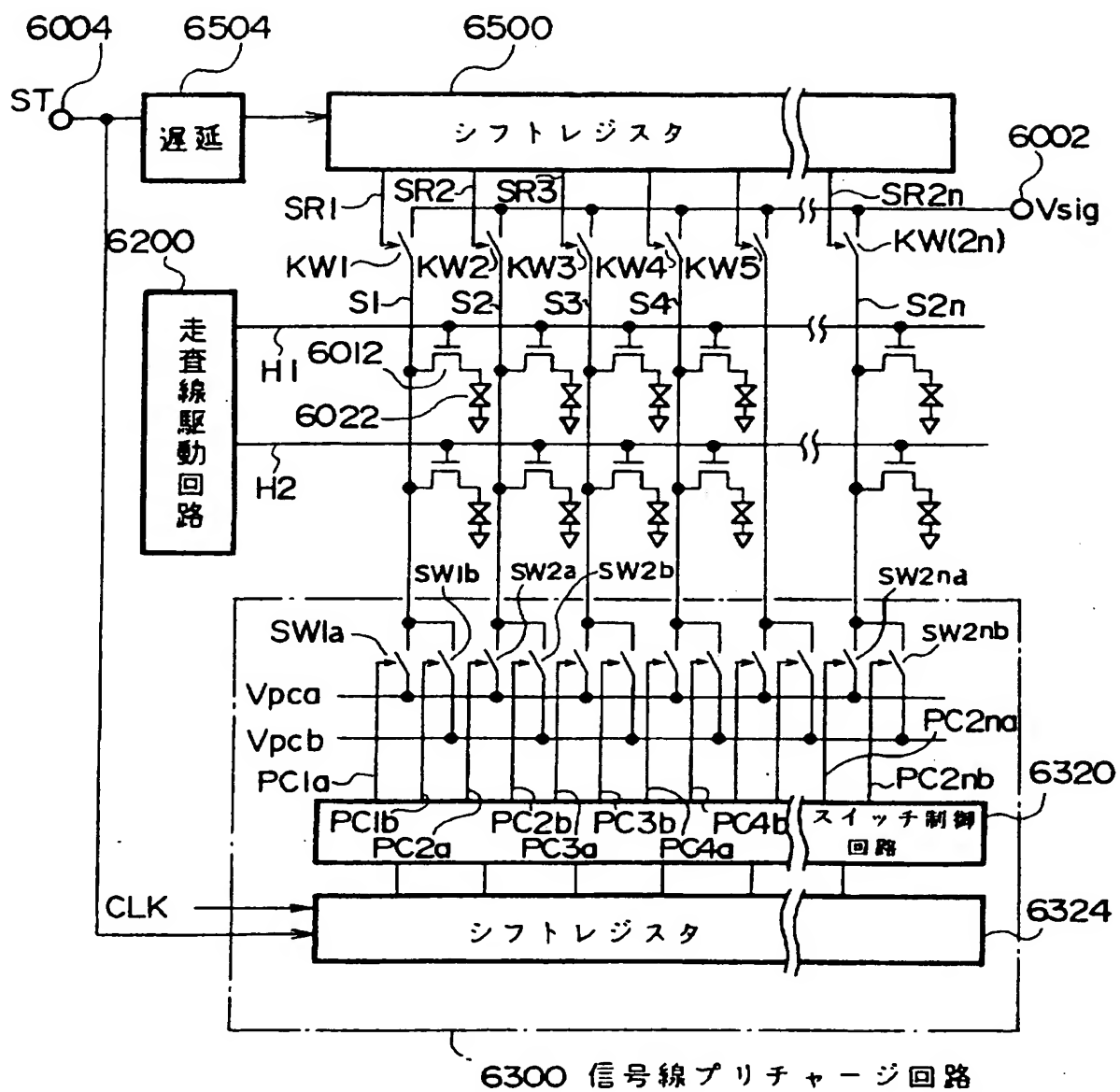


FIG. 61



56/69

FIG. 62



57/69

FIG. 63

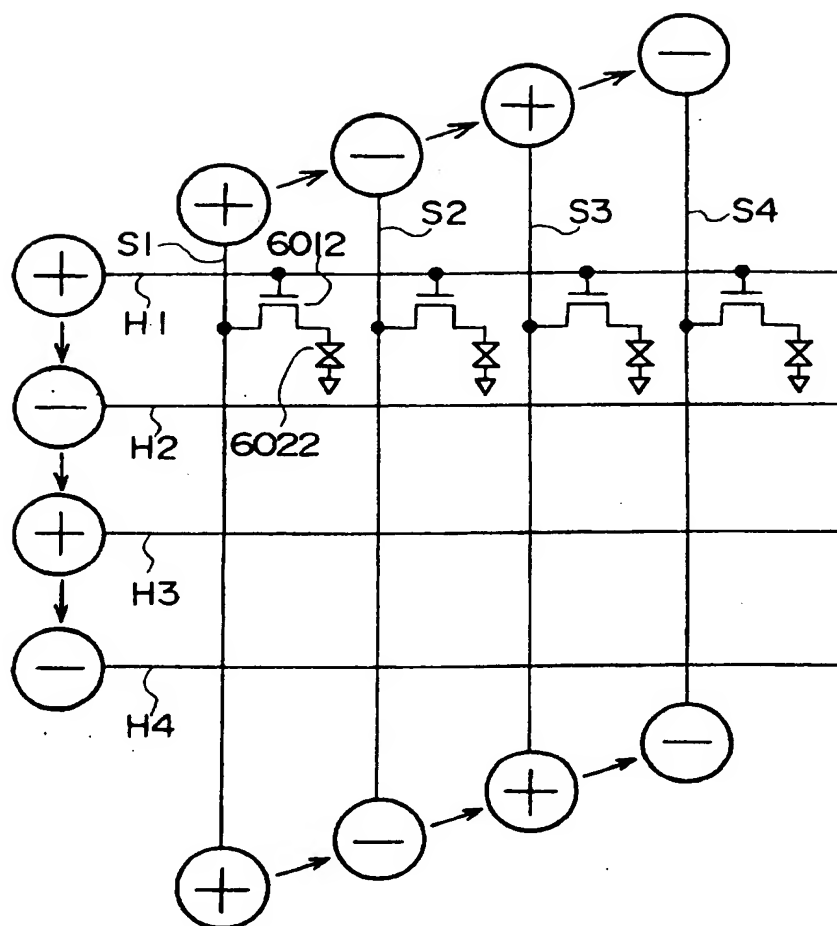


FIG. 64

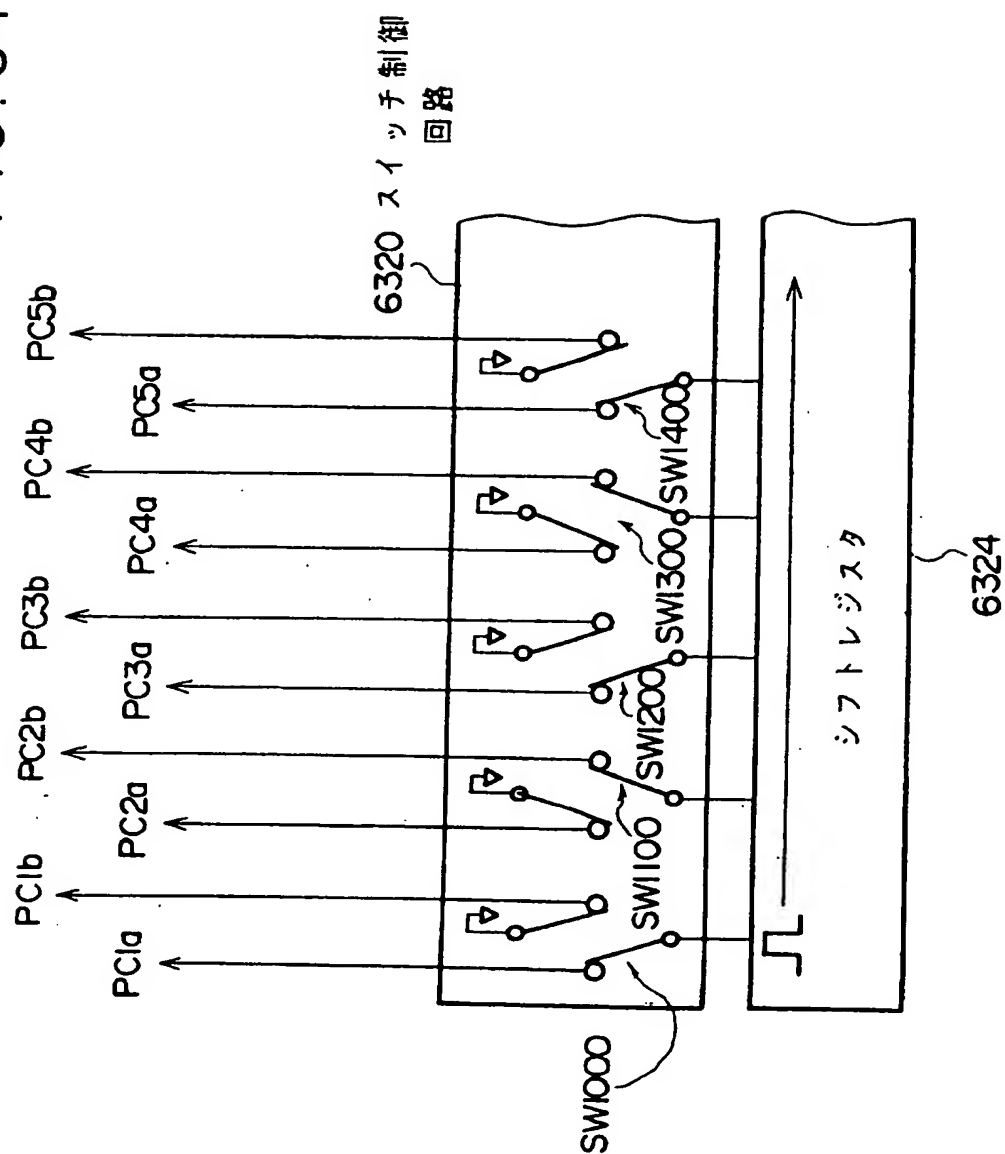
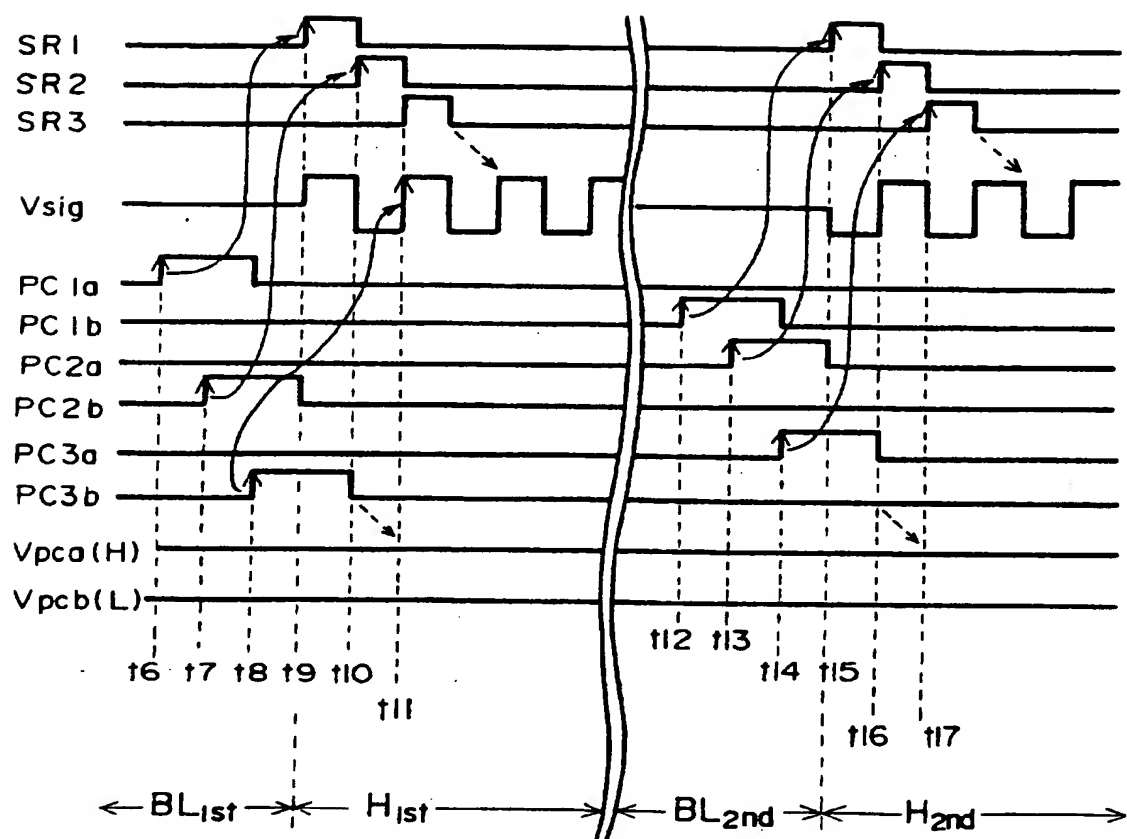
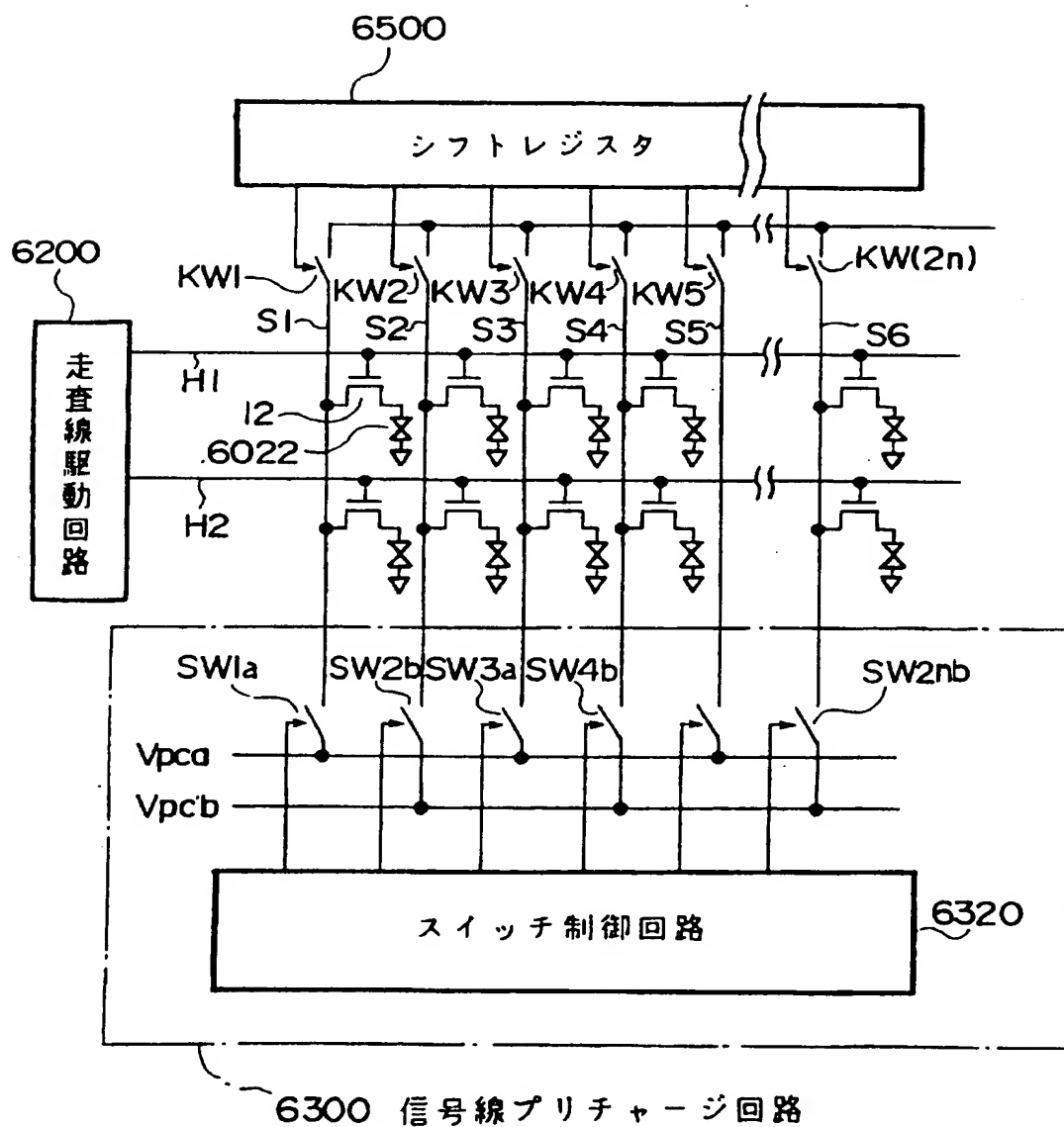


FIG. 65



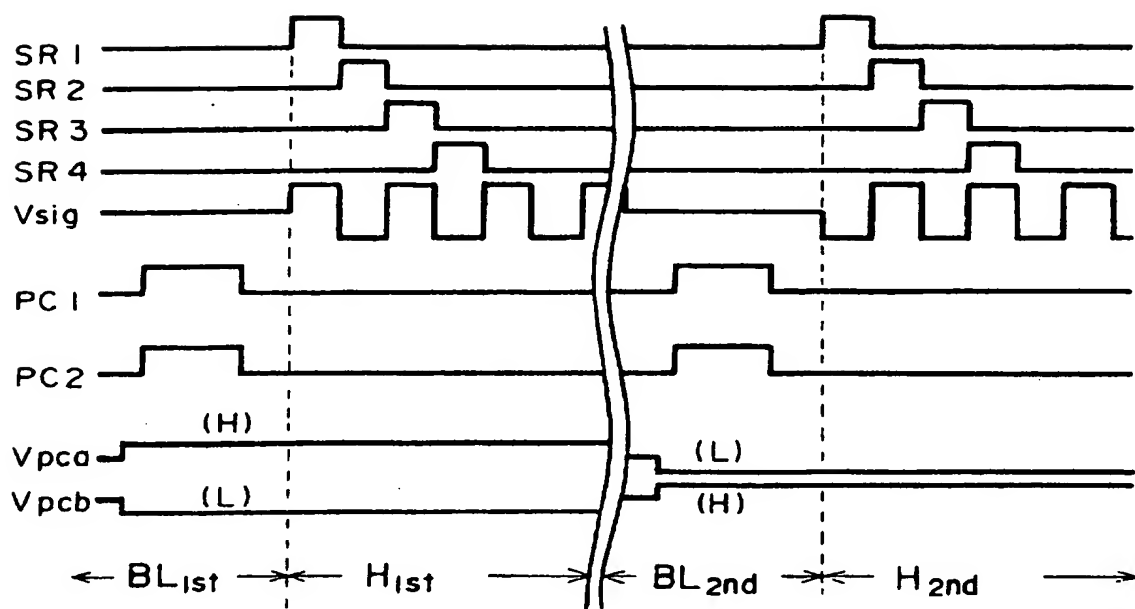
60/69

FIG. 66



61/69

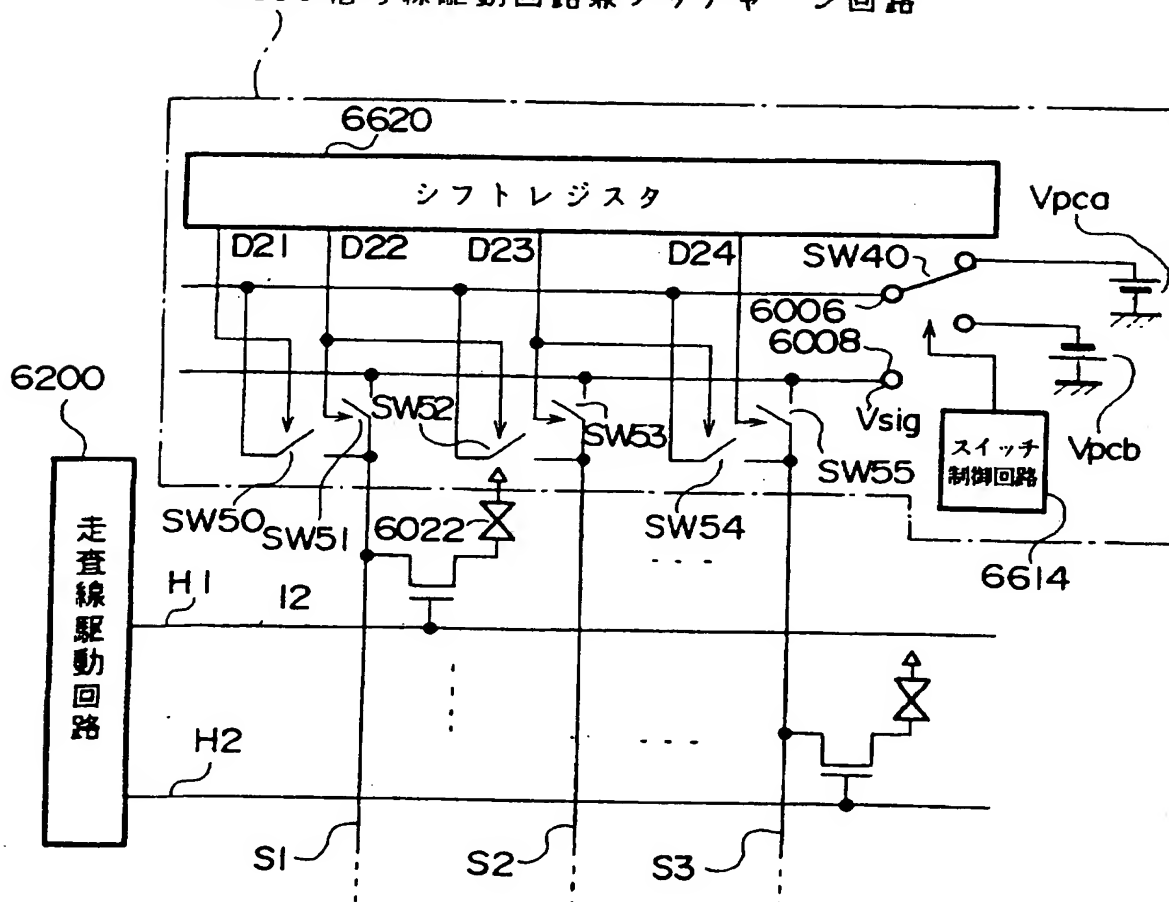
FIG. 67



62/69

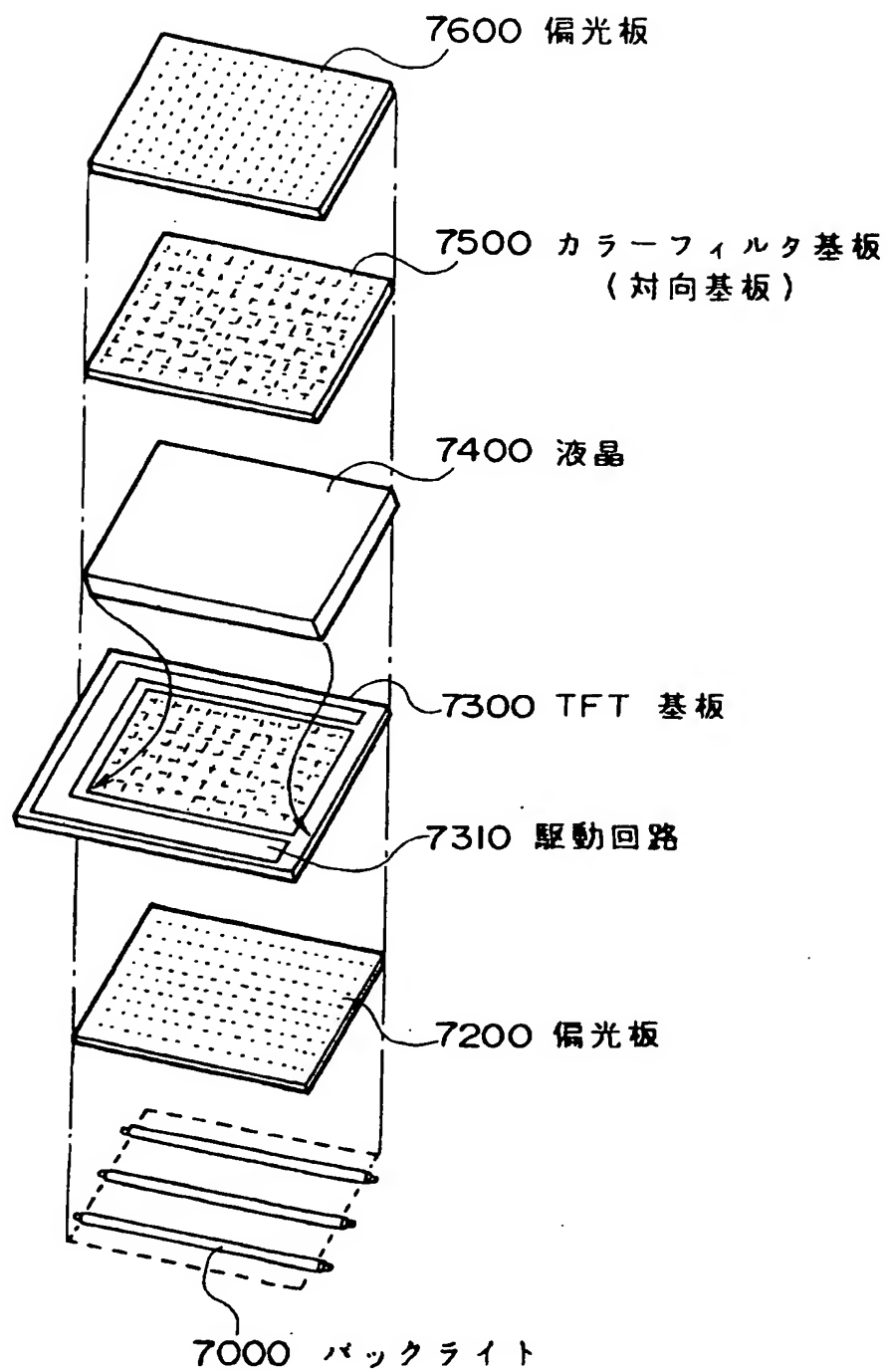
FIG. 68

6600 信号線駆動回路兼プリチャージ回路



63/69

FIG. 69



64/69

FIG. 70

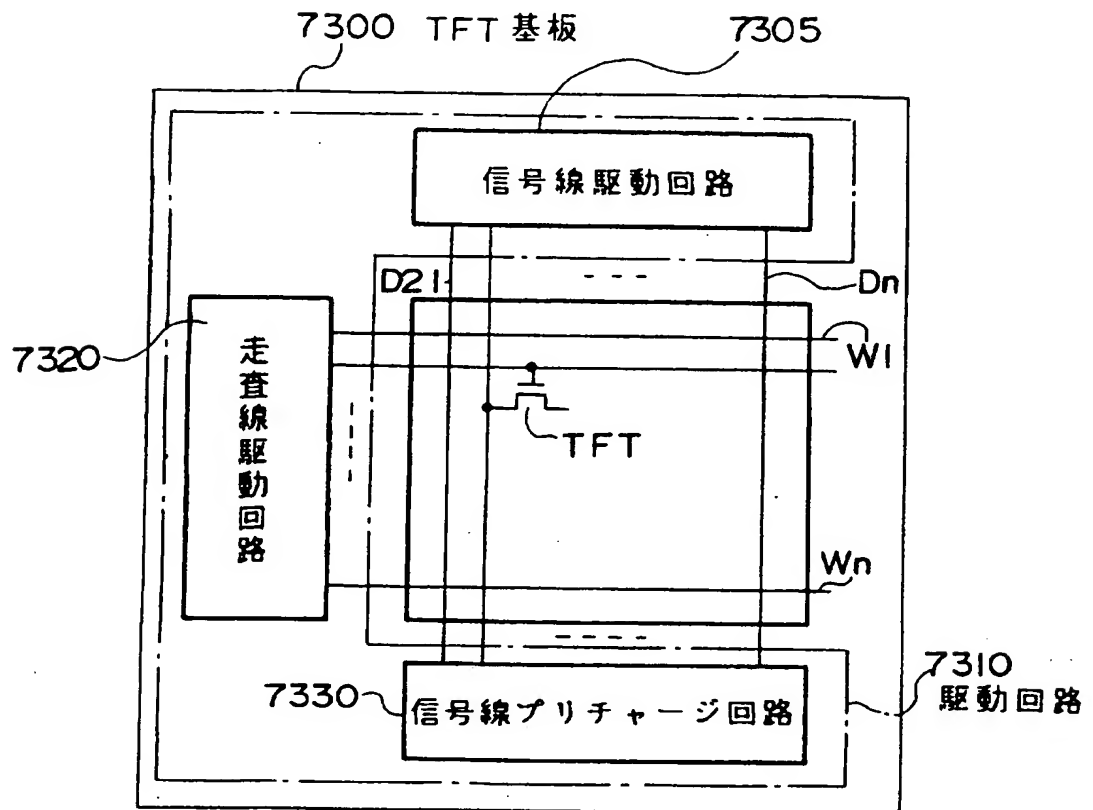
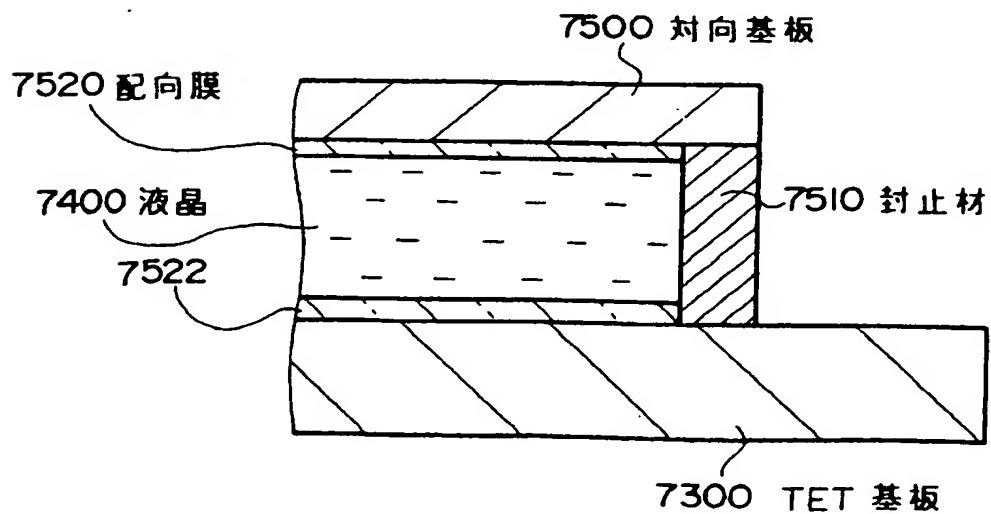


FIG. 71



65/69

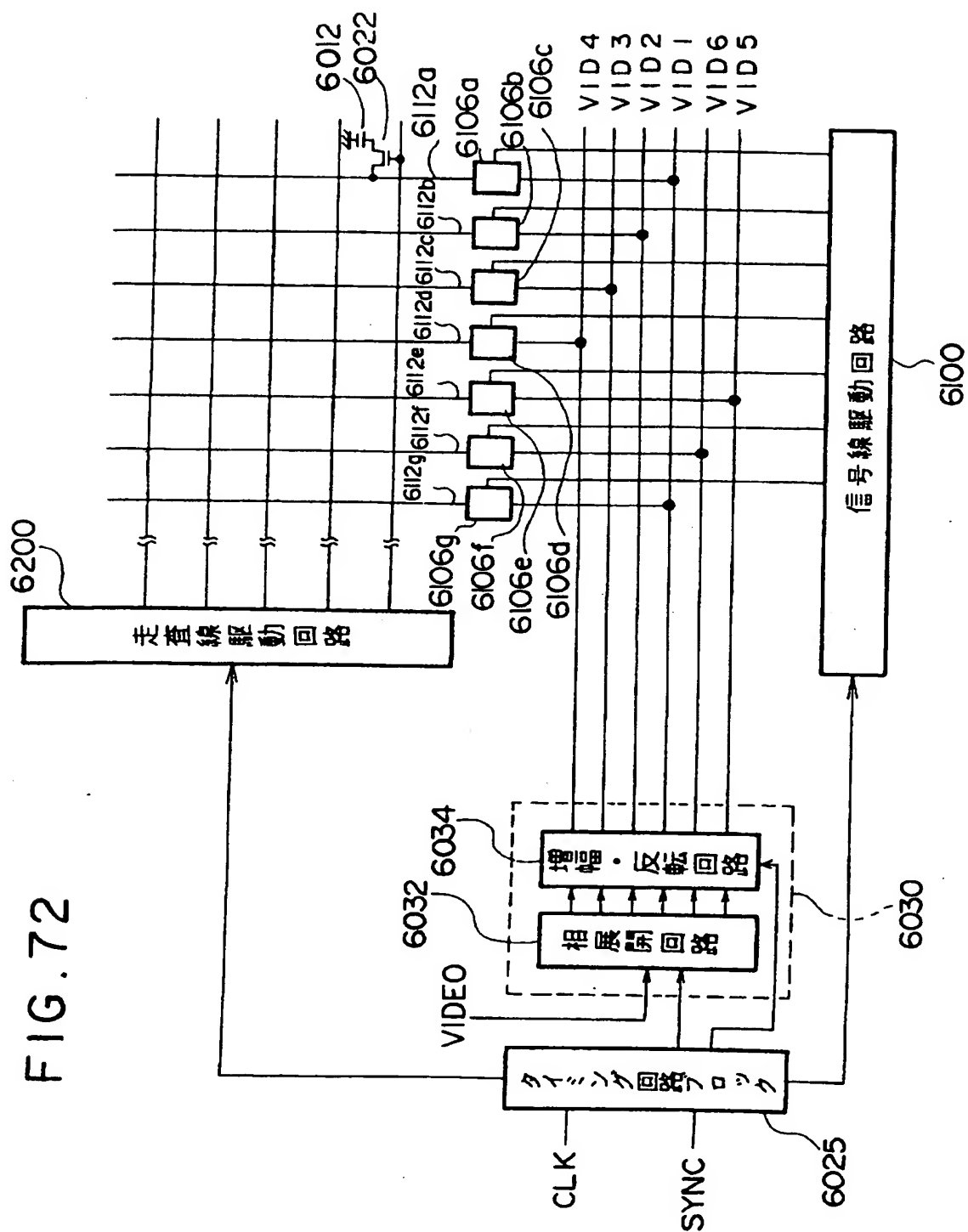


FIG. 73

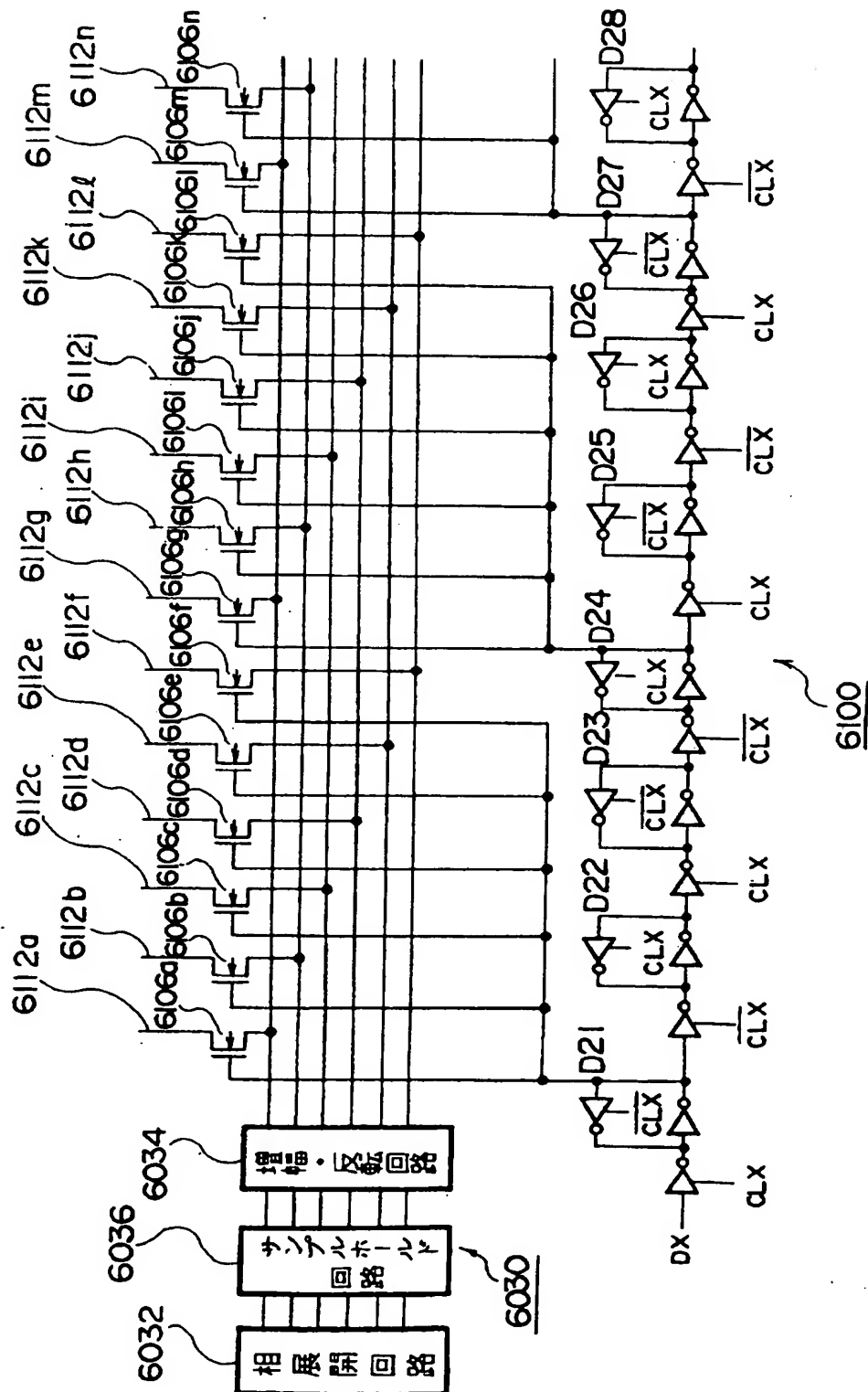
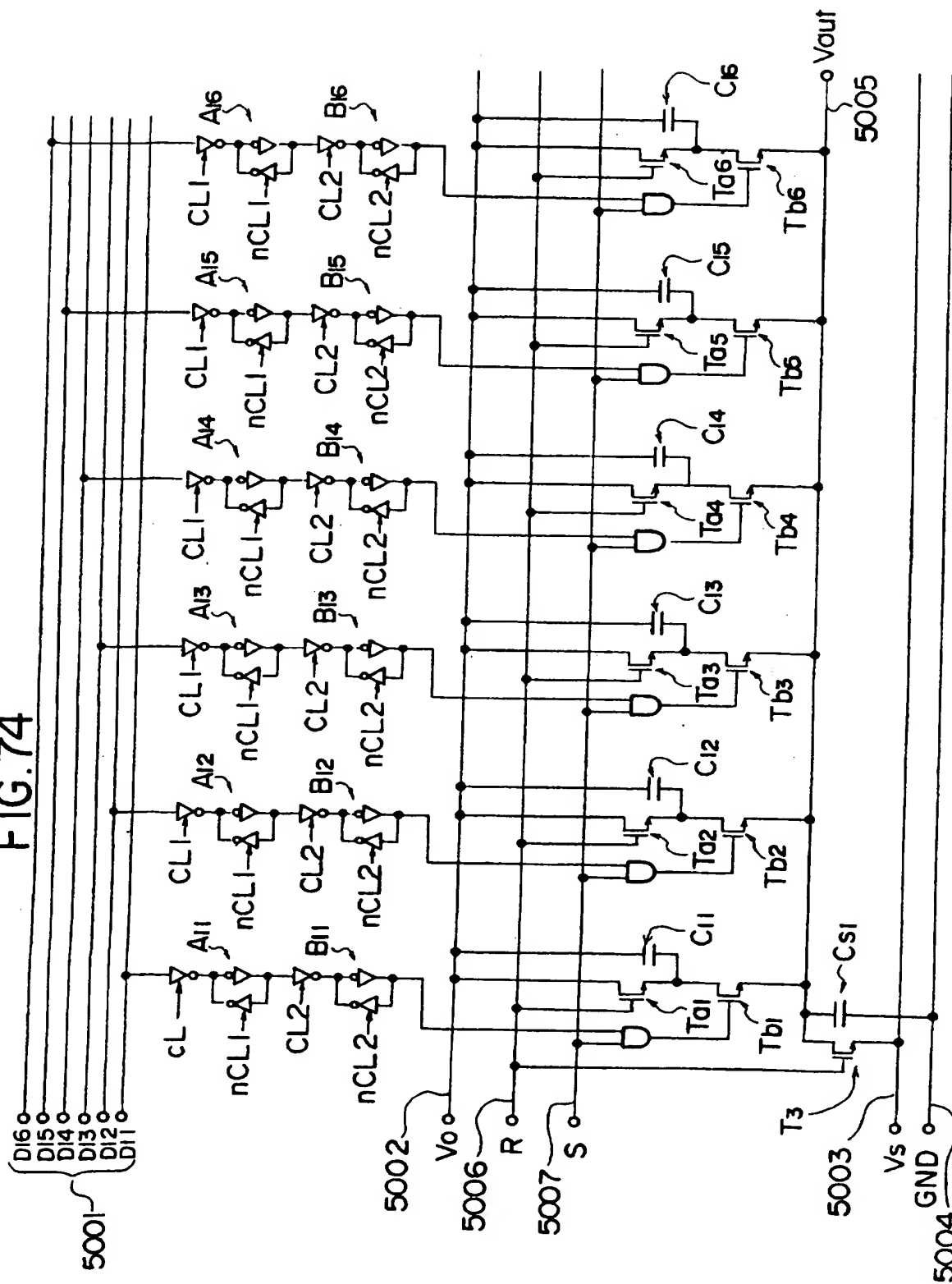


FIG. 74



68/69

FIG. 75

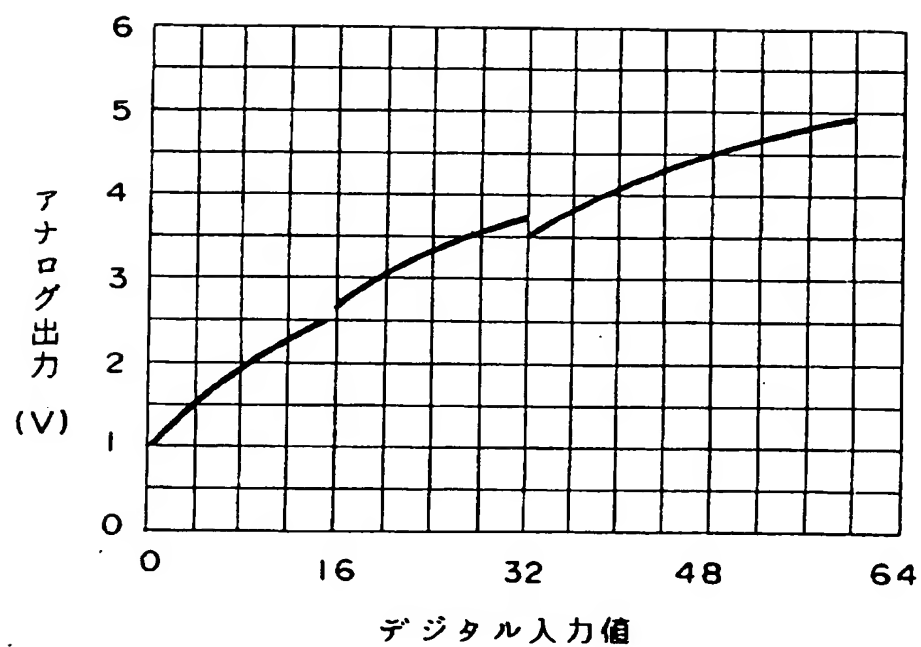


FIG. 76A

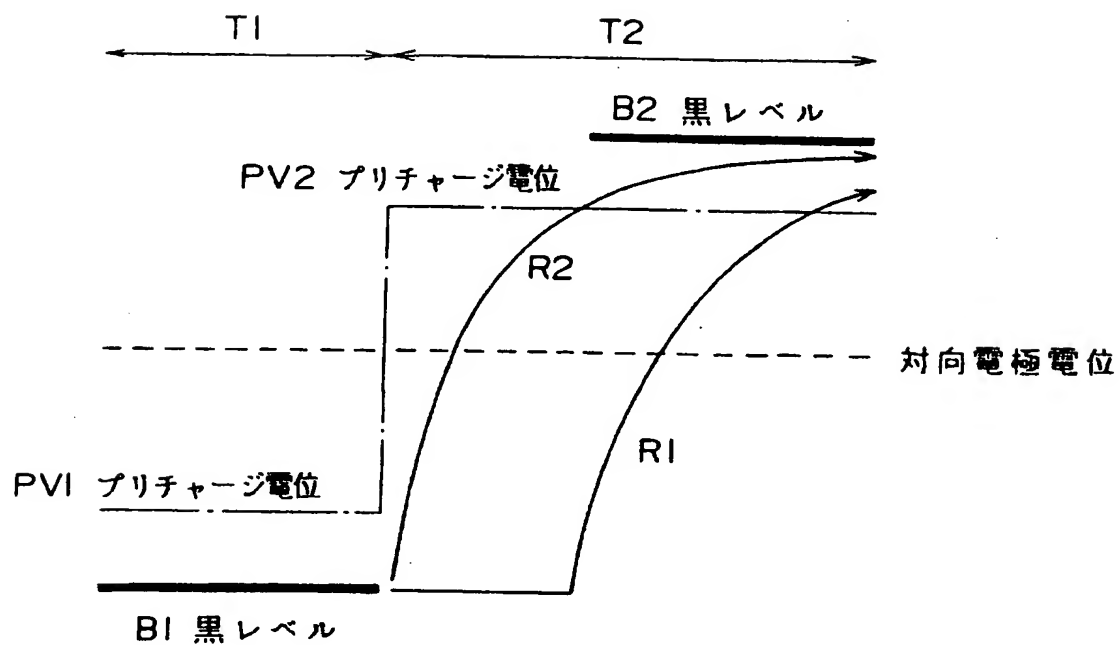
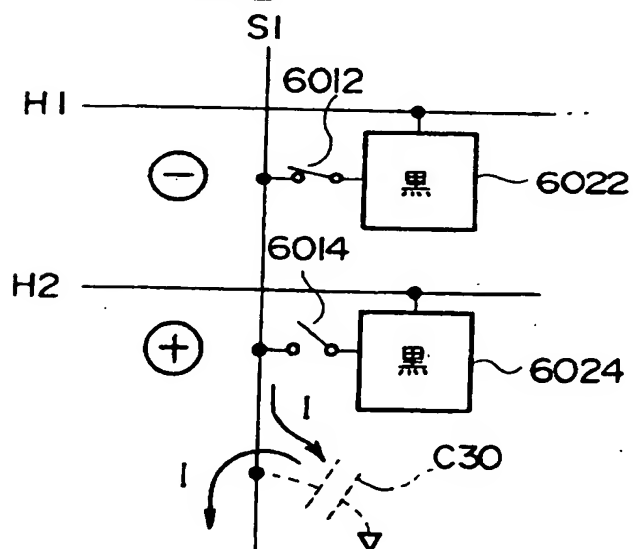


FIG. 76B



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP97/00212

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl⁶ H03M1/74, G09G3/36

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl⁶ H03M1/74, G09G3/36

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
 Jitsuyo Shinan Koho 1826 - 1997 Jitsuyo Shinan Toroku
 Kokai Jitsuyo Shinan Koho 1971 - 1997 Koho 1996 - 1997
 Toroku Jitsuyo Shinan Koho 1994 - 1997

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 3-190429, A (NEC Corp.), August 20, 1991 (20. 08. 91) (Family: none)	11-18, 23-28, 33, 34
A	JP, 6-268522, A (Toshiba Corp.), September 22, 1994 (22. 09. 94), Page 4, right column (Family: none)	11-13, 15, 16, 23-28, 33, 34, 36, 37, 39-46
A	JP, 59-107628, A (Hitachi, Ltd.), June 21, 1984 (21. 06. 84) (Family: none)	1 - 10
A	JP, 5-102857, A (Mitsubishi Electric Corp.), April 23, 1993 (23. 04. 93) (Family: none)	1 - 10
A	US, 4937578, A (NEC Corp.), June 26, 1990 (26. 06. 90) & JP, 1-233919, A & GB, 2217128, A1	39
A	JP, 7-295520, A (Sony Corp.), November 10, 1995 (10. 11. 95) (Family: none)	47 - 81

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
 April 24, 1997 (24. 04. 97)

Date of mailing of the international search report
 May 7, 1997 (07. 05. 97)

Name and mailing address of the ISA/
 Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP97/00212

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PA	JP, 8-286641, A (Sony Corp.), November 1, 1996 (01. 11. 96) (Family: none)	47 - 81

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP97/00212

Box I Observations where certain claims were found unsearchable (Continuation of item 1 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box II Observations where unity of invention is lacking (Continuation of item 2 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

Claims 1-46 relate to a D/A converter using capacitors, the method of designing the D/A converter, a substrate for liquid crystal panel, and a liquid crystal display, whereas claims 47-81 relate to a signal line precharging method, signal precharging circuit, a substrate for liquid crystal panel, and a liquid crystal display using the method and circuit.

Thus, these two groups of inventions are not considered as relating to a group of inventions so linked as to form a single general inventive concept.

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.

2. ☒ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.

3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest ☐ The additional search fees were accompanied by the applicant's protest.
☐ No protest accompanied the payment of additional search fees.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. C16 H03M1/74

Int. C16 G09G3/36

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. C16 H03M1/74

Int. C16 G09G3/36

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1997

日本国公開実用新案公報 1971-1997

日本国登録実用新案公報 1994-1997

日本国実用新案登録公報 1996-1997

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P. 3-190429, A (日本電気株式会社), 20. 8月. 1991 (20. 08. 91) (ファミリーなし)	11-18, 23-28, 33 , 34
A	J P. 6-268522, A (株式会社東芝), 22. 9月. 1994 (22. 09. 94) 第4頁, 右欄 (ファミリーなし)	11-13, 15, 16, 23-28, 33 , 34, 36, 37, 39-46 1-10
A	J P. 59-107628, A (株式会社日立製作所), 21. 6月. 1984 (21. 06. 84) (ファミリーなし)	1-10
A	J P. 5-102857, A (三菱電機株式会社), 23. 4月. 1993 (23. 04. 93) (ファミリーなし)	1-10

☒ C欄の続きにも文献が列举されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」先行文献ではあるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

24. 04. 97

国際調査報告の発送日

07.05.97

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

内田 正和

印

5 K

9065

電話番号 03-3581-1101 内線3556

C (続き) 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	US, 4937578, A (日本電気株式会社), 26. 6月, 1990 (26. 06. 90) & JP, 1-233919, A & GB, 2217128, A1	39
A	JP, 7-295520, A (ソニー株式会社), 10. 11月, 1995 (10. 11. 95) (ファミリーなし)	47-81
PA	JP, 8-286641, A (ソニー株式会社), 1. 11月, 1996 (01. 11. 96) (ファミリーなし)	47-81

第I欄 請求の範囲の一部の調査ができないときの意見 (第1ページの1の続き)

法第8条第3項(PCT17条(2)(a))の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、
2. ☐ 請求の範囲 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求の範囲 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第II欄 発明の単一性が欠如しているときの意見 (第1ページの2の続き)

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

請求の範囲1-46は、キャパシタを用いたD/A変換器、D/A変換器の設計方法並びにこれらを用いた液晶パネル用基板及び液晶表示装置に関するものであり、請求の範囲47-81は、信号線プリチャージ方法、信号線プリチャージ回路並びにこれらを用いた液晶パネル用基板及び液晶表示装置に関するものである。
そして、これらの二つの発明群が単一の一般的発明概念を形成するように関連している一群の発明であるとは認められない。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☒ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあった。
☐ 追加調査手数料の納付と共に出願人から異議申立てがなかった。